

明 細 書

リコンフィギュラブル回路を備えた処理装置、集積回路装置およびそれらを利用した処理方法

技術分野

[0001] この発明は、集積回路技術に関し、特にリコンフィギュラブル回路を備えた処理装置、集積回路装置およびそれらを利用した処理方法の技術に関する。

背景技術

[0002] 例えば衛星放送では、季節などにより、放送モードを切り替えて画質の調整などを行なうことがある。受信機では、放送モードごとに複数の回路を予めハードウェア上に作り込んでおき、放送モードに合わせて選択器で回路を切り替えて受信している。したがって、受信機の他の放送モード用の回路はその間遊んでいることになる。モード切り替えのように、複数の専用回路を切り替えて使用し、その切り替え間隔が比較的に長い場合、複数の専用回路を作り込む代わりに、切り替え時にLSIを瞬時に再構成することにすれば、回路構造をシンプルにして汎用性を高め、同時に実装コストを抑えることができる。このようなニーズに応えるべく、動的に再構成可能なLSIに製造業界の関心が高まってきている。特に、携帯電話やPDA(Personal Data Assistant)などのモバイル端末に搭載されるLSIは小型化が必須であり、LSIを動的に再構成し、用途に合わせて適宜機能を切り替えることができれば、LSIの実装面積を低く抑えることができる。

[0003] この点に関連して、FPGA(Field Programmable Gate Array)はLSI製造後に回路データを書き込んで比較的自由に回路構成を設計することが可能であり、専用ハードウェアの設計に利用されている。FPGAは、論理回路の真理値表を格納するためのルックアップテーブル(LUT)と出力用のフリップフロップからなる基本セルと、その基本セル間を結ぶプログラマブルな配線リソースとを含む。FPGAでは、LUTに格納するデータと配線データとを書き込むことで目的とする論理演算を実現できる。しかし、FPGAでLSIを設計した場合、ASIC(Application Specific IC)による設計と比べると、実装面積が非常に大きくなり、コスト高になる。そこで、FPGAを動的に再

構成することで、回路構成の再利用を図る方法が提案されている(例えば、特許文献1参照)。

特許文献1:特開平10-256383号公報 (全文、第1-4図)

発明の開示

発明が解決しようとする課題

[0004] FPGAは、回路構成の設計自由度が高く、汎用的である反面、全ての基本セル間の接続を可能とするため、多数のスイッチとスイッチのON/OFFを制御するための制御回路とを含む必要があり、必然的に制御回路の実装面積が大きくなる。また、基本セル間の接続に複雑な配線パターンをとるため、配線が長くなる傾向がある。さらに1本の配線に多くのスイッチが接続される構造であるため、遅延が大きくなる。そのため、FPGAによるLSIは、試作や実験のために利用されるにとどまることが多く、実装効率、性能、コストなどを考えると、量産には適していない。さらに、FPGAでは、多数のLUT方式の基本セルに設定データを送る必要があるため、回路のコンフィグレーションにはかなりの時間を要する。そのため、瞬時に回路構成の切り替えが必要な用途にはFPGAは適していない。

[0005] 本発明はこうした状況に鑑みてなされたもので、その目的は、回路規模の縮小化に貢献するリコンフィギュラブル回路を備えた処理装置、集積回路装置およびそれらを利用した処理方法の提供にある。

[0006] さらに、本発明の別の目的は、所期の回路の高速なマッピングを実現するリコンフィギュラブル回路を備えた処理装置の提供にある。

課題を解決するための手段

[0007] 上記課題を解決するために、本発明のある態様は、機能の変更が可能なリコンフィギュラブル回路と、リコンフィギュラブル回路の出力をリコンフィギュラブル回路の入力に接続する経路部と、リコンフィギュラブル回路に所期の回路を構成するための設定データを供給する設定部と、リコンフィギュラブル回路に複数の設定データを順次供給するように設定部を制御し、ある設定データによりリコンフィギュラブル回路上で構成された回路の出力を第1経路部を通じて次の設定データにより構成される回路の入力に供給させる制御部とを備える処理装置を提供する。第1経路部は、リコンフィ

ギュラブル回路の出力と入力のフィードバックパスとして機能する。

- [0008] この態様の処理装置によれば、構成すべき回路の規模が大きい場合であっても、その回路を分割してリコンフィギュラブル回路に順次構成することができるため、構成すべき回路に合わせてリコンフィギュラブル回路の回路規模を大きく設定する必要がなく、リコンフィギュラブル回路の回路規模を縮小化することができる。また、リコンフィギュラブル回路の回路規模を小さくするため、消費電力を小さくすることができる。
- [0009] この態様の処理装置においては、設定部が、複数の設定データをリコンフィギュラブル回路に順次供給することにより、全体として1つの回路が構成されることになる。複数の設定データは、1つの回路を分割した複数の分割回路をそれぞれ表現する。
- [0010] リコンフィギュラブル回路は組合せ回路、あるいは順序回路等の論理回路である。特に、組合せ回路の場合は、一度入力データを設定すれば、高速に、例えば1クロック内で出力を取り出すことができる。処理装置は、リコンフィギュラブル回路の出力を受ける内部状態保持回路をさらに備え、この内部状態保持回路は、第1経路部に接続される。また、処理装置は、リコンフィギュラブル回路の出力を受ける出力回路をさらに備え、この出力回路は、設定部によりリコンフィギュラブル回路が複数回構成されると、リコンフィギュラブル回路の出力を出力してもよい。リコンフィギュラブル回路に全ての分割回路をマッピングした後、最後の分割回路の出力を取り出すことにより、所期の出力を得ることができる。また、処理装置は、メモリ部と、第2経路部をさらに備え、第2経路部は、記憶部に記憶されたリコンフィギュラブル回路上で構成された回路の出力を次の設定データにより構成される回路の入力に伝達する。制御部は、必要に応じてメモリ部から入力データをリコンフィギュラブル回路に入力することができるため並列的な処理を実行可能である。また、処理装置は、第2経路部からの入力と、外部からの入力とを切り替える切替回路をさらに備える。
- [0011] リコンフィギュラブル回路は、それぞれが複数の演算機能を選択的に実行可能な複数の論理回路と、論理回路間の接続関係を設定可能な接続部とを含み、設定部は、論理回路の機能および接続関係を設定してもよい。リコンフィギュラブル回路は、論理回路の多段配列と、前段の論理回路の出力と後段の論理回路の入力の接続関係

を設定可能な接続部とを含んでもよい。論理回路の多段配列の構造は、横方向に並べられた論理回路の列が縦方向に複数段組み合わせられた配列をとり、横方向すなわち列内の論理回路間に接続用結線はなく、各段の論理回路列の出力と直後の段の論理回路列の入力との間に接続用結線が設けられた構造であってもよい。

[0012] 各論理回路は、比較的高性能な演算が可能な回路であってもよく、例えば、複数種類の多ビット演算を選択的に実行可能な算術論理回路 (ALU (Arithmetic Logic Unit)) であってもよい。論理回路は、複数の演算機能を選択するためのセクタを有し、セクタは、外部からロードされた設定データにより演算機能を選択する。論理回路の演算機能をセクタで選択可能とすることにより、論理回路の機能の切替を瞬時に行なうことができ、ひいてはリコンフィギュラブル回路の機能を瞬時に設定することが可能となる。

[0013] 本発明の別の態様は、1つの回路を分割した複数の分割回路をリコンフィギュラブル回路上に順次構成し、ある分割回路の出力を次の分割回路の入力にフィードバックして分割回路における演算処理を実行し、最後に構成された分割回路から出力を取り出すことを特徴とする処理方法を提供する。この態様の処理方法によると、構成すべき回路の規模が大きい場合であっても、その回路を分割してリコンフィギュラブル回路に順次構成することができるため、構成すべき回路に合わせてリコンフィギュラブル回路の回路規模を大きく設定する必要がなく、リコンフィギュラブル回路の回路規模を縮小化することができる。

[0014] 本発明のさらに別の態様は、機能の変更が可能なリコンフィギュラブル回路と、リコンフィギュラブル回路の出力をリコンフィギュラブル回路の入力に接続する経路部と、リコンフィギュラブル回路に所期の回路を構成するための設定データを供給する設定部とを備える集積回路装置を提供する。この態様の集積回路装置によると、リコンフィギュラブル回路、経路部および設定部を1チップ上に形成するため、高速な処理が可能となる。

[0015] 本発明のさらに別の態様は、機能および接続関係の変更が可能なリコンフィギュラブル回路と、所期の回路の一部分を構成する分割ユニットを表現するための設定データを記憶し、リコンフィギュラブル回路に供給するための設定部と、リコンフィギュラ

ブル回路に所期の回路を構成するために複数の設定データを順次供給するように設定部を制御する制御部とを備え、リコンフィギュラブル回路は、内部の状態を保持する状態保持回路を少なくとも1つ有し、リコンフィギュラブル回路は、状態保持回路の配置により、複数段のリコンフィギュラブルユニットに分割され、制御部は、複数の所期の回路を構成する場合に、各回路の一部分を構成する分割ユニットを複数段のリコンフィギュラブルユニットのそれぞれに対して構成するための設定データを処理の流れに従って順番に供給するように設定部を制御する、処理装置を提供する。この態様の処理装置によると、複数の所期の回路を構成する場合に、複数段のリコンフィギュラブルユニットにそれぞれ各回路の一部分を構成する分割ユニットを構成するための設定データを供給するため、各段で別々の回路を構成する分割ユニットがリコンフィギュラブルユニットに構成される。したがって、並列な処理が実行され、高速な所期の回路の構成すなわち論理動作を実現することができる。

- [0016] なお、以上の構成要素の任意の組合せ、本発明の表現を方法、装置、システム、コンピュータプログラムとして表現したものもまた、本発明の態様として有効である。

発明の効果

- [0017] 本発明によれば、回路規模の縮小化に貢献するリコンフィギュラブル回路を備えた処理装置および集積回路装置、これらを利用した処理方法を提供できる。
- [0018] また、本発明によれば、所期の回路の高速なマッピングを実現するリコンフィギュラブル回路を備えた処理装置を提供できる。

図面の簡単な説明

- [0019] [図1]実施の形態に係る処理装置10の構成図である。
- [図2]1つの回路42を分割してできる複数の回路の設定データ40について説明するための図である。
- [図3]リコンフィギュラブル回路12の構成図である。
- [図4]他のリコンフィギュラブル回路12#の構成図である。
- [図5]データフローグラフ38の例を示す図である。
- [図6]本実施の形態における信号処理のフローチャートを示す図である。
- [図7]前後7点を利用する7タップからなるFIRフィルタ回路を示す図である。

[図8]図7で示すFIRフィルタ回路を変換した回路を示す図である。

[図9]図8で示すFIRフィルタ回路をさらに変換した回路を示す図である。

[図10]図9に示すFIRフィルタ回路をコンパイルして作成したデータフローグラフ38aを示す図である。

[図11]実施例で使用するリコンフィギュラブル回路12を示す図である。

[図12]図10に示すデータフローグラフ38aを、図11のリコンフィギュラブル回路12を用いて実現する例を示す図である。

[図13]図8に示すFIRフィルタ回路をコンパイルして作成したデータフローグラフ38bを示す図である。

[図14]図13に示すデータフローグラフ38bを、図11のリコンフィギュラブル回路12を用いて実現する例を示す図である。

[図15]本発明の実施の形態3に従う処理装置10aの構成図である。

[図16]本発明の実施の形態3に従うリコンフィギュラブル回路を用いて構成するデジタル復調回路群の構成図である。

[図17]復調処理回路54の構成を説明する概念図である。

[図18]ループフィルタ56を示す図である。

[図19]図17に示す復調処理回路54をコンパイルして作成したデータフローグラフ38cを示す図である。

[図20]本発明の実施の形態3に従うデジタル復調回路群をリコンフィギュラブル回路にマッピングする場合の処理の流れを説明する図である。

[図21]図19に示すデータフローグラフ38cを、図11のリコンフィギュラブル回路12を用いて実現する例を示す図である。

[図22]分割回路A # ー分割回路D # が複数の分割ユニットで構成されていることを説明する概念図である。

[図23]選択器16が設定データに基づいてリコンフィギュラブル回路12に入力することにより、分割回路A # を構成した場合を説明する図である。

[図24]リコンフィギュラブル回路12に構成された分割回路A # における処理の流れを説明する図である。

[図25]本発明の実施の形態4に係る処理装置10#の構成図である。

[図26]リコンフィギュラブル回路12#aの構成図である。

[図27]図26に示されるリコンフィギュラブル回路12#aと置換可能なリコンフィギュラブル回路12#bの構成図である。

[図28]一例として本実施の形態4に従うリコンフィギュラブル回路12#aにマッピングする回路群の一例図である。

[図29A]回路FAをリコンフィギュラブル回路12#aの各リコンフィギュラブルユニットにマッピングするために分割した分割ユニットを説明する概念図である。

[図29B]回路FBをリコンフィギュラブル回路12#aの各リコンフィギュラブルユニットにマッピングするために分割した分割ユニットを説明する概念図である。

[図29C]回路FCをリコンフィギュラブル回路12#aの各リコンフィギュラブルユニットにマッピングするために分割した分割ユニットを説明する概念図である。

[図30]本発明の実施の形態に従うリコンフィギュラブル回路12#aに回路FA〜FCをマッピングする方式を説明する概念図である。

[図31]記憶部34において記憶されている分割ユニットの複数の設定データが格納されている記憶領域を説明する概念図である。

[図32]制御部18が、記憶部34の設定データ40からアドレス指定して第1回路設定部15a、第2回路設定部15bおよび第3回路設定部15cに設定データを伝達する方式を説明する概念図である。

[図33]本実施の形態に従うリコンフィギュラブル回路12#aにマッピングする別の回路群の一例図である。

[図34A]回路FAをリコンフィギュラブル回路12#aの各リコンフィギュラブルユニットにマッピングするために分割した分割ユニットを説明する概念図である。

[図34B]回路FBをリコンフィギュラブル回路12#aの各リコンフィギュラブルユニットにマッピングするために分割した分割ユニットを説明する概念図である。

[図34C]回路FDをリコンフィギュラブル回路12#aの各リコンフィギュラブルユニットにマッピングするために分割した分割ユニットを説明する概念図である。

[図34D]回路FEをリコンフィギュラブル回路12#aの各リコンフィギュラブルユニットに

マッピングするために分割した分割ユニットを説明する概念図である。

[図35]本発明の実施の形態4に従うリコンフィギュラブル回路12#aに回路FA, FB, FD, FEをマッピングする方式を説明する概念図である。

[図36A]FIRフィルタ50を分割した分割ユニットを説明する図である。

[図36B]FIRフィルタ52を分割した分割ユニットを説明する図である。

[図36C]復調処理回路54を分割した分割ユニットを説明する図である。

[図37]図30で示したのと同様の方式にしたがってリコンフィギュラブル回路12#aにデジタル復調回路群をマッピングする場合を説明する概念図である。

符号の説明

[0020] 10, 10a, 10# 処理装置、12, 12#, 12#a, 12#b リコンフィギュラブル回路、14, 14# 設定部、14a 第1設定部、14b 第2設定部、14c 第3設定部、14d 第4設定部、15a 第1回路設定部、15b 第2回路設定部、15c 第3回路設定部、16 選択器、16# 回路処理制御部、18 制御部、20 内部状態保持回路、22 出力回路、24, 29 経路部、26, 26a, 26# 集積回路装置、27 メモリ部、28 切替回路、30 コンパイル部、32 設定データ生成部、34 記憶部、36 プログラム、38, 38a, 38b, 38c データフローグラフ、40 設定データ、50 論理回路、52, 52# 接続部、52#a, 52#b 接続部+FF回路。

発明を実施するための最良の形態

[0021] 以下において、本発明の実施の形態について図面を参照しながら詳細に説明する。なお図中における同一符号は、同一または相当部分を示すものとする。

[0022] (実施の形態1)

図1は、実施の形態に係る処理装置10の構成図である。処理装置10は、集積回路装置26を備える。集積回路装置26は、回路構成を再構成可能とする機能を有する。集積回路装置26は1チップとして構成され、リコンフィギュラブル回路12、設定部14、制御部18、内部状態保持回路20、出力回路22および経路部24を備える。リコンフィギュラブル回路12は、設定を変更することにより、機能の変更を可能とする。

[0023] 設定部14は、第1設定部14a、第2設定部14b、第3設定部14c、第4設定部14d および選択器16を有し、リコンフィギュラブル回路12に所期の回路を構成するため

の設定データ40を供給する。

- [0024] 経路部24は、フィードバックパスとして機能し、リコンフィギュラブル回路12の出力を、リコンフィギュラブル回路12の入力に接続する。内部状態保持回路20および出力回路22は、例えばデータフリップフロップ(D-FF)などの順序回路として構成され、リコンフィギュラブル回路12の出力を受ける。内部状態保持回路20は経路部24に接続されている。リコンフィギュラブル回路12は組合せ回路または順序回路等の論理回路として構成される。
- [0025] リコンフィギュラブル回路12は、機能の変更が可能な論理回路を有して構成される。具体的には、複数の演算機能を選択的に実行可能な論理回路を複数段に配列させた構成を有し、前段の論理回路列の出力と後段の論理回路列の入力との接続関係を設定可能な接続部を含む。複数の論理回路は、マトリックス状に配置される。各論理回路の機能と、論理回路間の接続関係は、設定部14により供給される設定データ40に基づいて設定される。設定データ40は、以下の手順で生成される。
- [0026] 集積回路装置26により実現されるべきプログラム36が、記憶部34に保持されている。プログラム36は、信号処理回路または信号処理アルゴリズムなどをC言語などの高級言語で記述したものである。コンパイル部30は、記憶部34に格納されたプログラム36をコンパイルし、データフローグラフ38に変換して記憶部34に格納する。データフローグラフ38は、入力変数および定数の演算の流れをグラフ構造で表現したものである。
- [0027] 設定データ生成部32は、データフローグラフ38から設定データ40を生成する。設定データ40は、データフローグラフ38をリコンフィギュラブル回路12にマッピングするためのデータであり、リコンフィギュラブル回路12における論理回路の機能や論理回路間の接続関係を定める。本実施の形態では、設定データ生成部32が、1つの回路を分割してできる複数の回路の設定データ40を生成する。
- [0028] 図2は、1つの回路42を分割してできる複数の回路の設定データ40について説明するための図である。1つの回路42を分割して生成される回路を、「分割回路」と呼ぶ。この例では、1つの回路42が、4つの分割回路、すなわち分割回路A、分割回路B、分割回路C、分割回路Dに分割されている。回路42は、データフローグラフ38に

おける演算の流れにしたがって分割される。データフローグラフ38において、上から下に向かう方向に演算の流れが表現される場合には、そのデータフローグラフ38を上から所定の間隔で切り取り、その切り取った部分を分割回路として設定する。流れにしたがって切り取る間隔は、リコンフィギュラブル回路12における論理回路の段数以下に定められる。回路42は、データフローグラフ38の横方向で分割されてもよい。横方向に分割する幅は、リコンフィギュラブル回路12における論理回路の1段当たりの個数以下に定められる。

[0029] 特に、生成すべき回路がリコンフィギュラブル回路12よりも大きい場合に、設定データ生成部32は、リコンフィギュラブル回路12にマッピングできる大きさになるように、回路42を分割することが好ましい。設定データ生成部32は、リコンフィギュラブル回路12における論理回路の配列構造とデータフローグラフ38によって、回路42の分割方法を定める。リコンフィギュラブル回路12の配列構造は、制御部18から設定データ生成部32に伝えられてもよく、また予め記憶部34に記録されていてもよい。また、制御部18が、回路42の分割方法を設定データ生成部32に指示してもよい。

[0030] 以上の手順を実行することにより、記憶部34は、リコンフィギュラブル回路12を所期の回路として構成するための複数の設定データ40を記憶する。複数の設定データ40は、分割回路Aを構成するための設定データ40a、分割回路Bを構成するための設定データ40b、分割回路Cを構成するための設定データ40c、および分割回路Dを構成するための設定データ40dである。既述のごとく、複数の設定データ40は、1つの回路42を分割した複数の分割回路をそれぞれ表現したものである。このように、リコンフィギュラブル回路12の回路規模に応じて、生成すべき回路42の設定データ40を生成することにより、汎用性の高い処理装置10を実現することが可能となる。別の視点からみると、本実施の形態の処理装置10によれば、回路規模の小さいリコンフィギュラブル回路12を用いて、所望の回路を再構成することが可能となる。

[0031] 図3は、リコンフィギュラブル回路12の構成図である。リコンフィギュラブル回路12は、複数の論理回路50の列が複数段にわたって配列されたもので、各段に設けられた接続部52によって、前段の論理回路列の出力と後段の論理回路列の入力が設定により任意に接続可能な構造となっている。ここでは、論理回路50の例としてALUを示

す。各ALUは、論理和、論理積、ビットシフトなどの複数種類の多ビット演算を設定により選択的に実行できる。各ALUは、複数の演算機能を選択するためのセレクタを有している。

[0032] 図示のように、リコンフィギュラブル回路12は、横方向にY個、縦方向にX個のALUが配置されたALUアレイとして構成される。第1段のALU11、ALU12、…、ALU1Yには、入力変数や定数が入力され、設定された所定の演算がなされる。演算結果の出力は、第1段の接続部52に設定された接続にしたがって、第2段のALU21、ALU22、…、ALU2Yに入力される。第1段の接続部52においては、第1段のALU列の出力と第2段のALU列の入力の間で任意の接続関係、あるいは、決められた組合せのうちより選択された接続関係を実現できるように結線が構成されており、設定により所期の結線が有効となる。以下、第(X-1)段の接続部52まで、同様の構成であり、最終段である第X段のALU列は演算の最終結果を出力する。

[0033] 図4は、他のリコンフィギュラブル回路12#の構成図である。

[0034] 図4を参照して、リコンフィギュラブル回路12#は、リコンフィギュラブル回路12と比較して、接続部52を接続部52#に置換した点が異なる。接続部52#は、接続部52の機能に加えて外部から直接入力変数や定数の入力可能な構成であるとともに、接続部52#から直接外部に前段のALUの演算結果を出力することも可能な構成である。

[0035] この構成により図3に示されるリコンフィギュラブル回路12の構成よりも多様な組合せ回路を構成することが可能となり、設計の自由度が向上する。他の部分および構成については図3で示されるリコンフィギュラブル回路12の構成と同様であるのでその詳細な説明は繰返さない。

[0036] 図5は、データフローグラフ38の例を示す図である。データフローグラフ38においては、入力される変数や定数の演算の流れが段階的にグラフ構造で表現されている。図中、演算子は丸印で示されている。設定データ生成部32は、このデータフローグラフ38を用いてリコンフィギュラブル回路12にマッピングするための設定データ40が生成される。本実施の形態では、特にデータフローグラフ38をリコンフィギュラブル回路12にマッピングしきれない場合に、データフローグラフ38を複数の領域に分割し

て、分割回路の設定データ40を生成する。データフローグラフ38による演算の流れを回路上で実現するべく、設定データ40は、演算機能を割り当てる論理回路を特定し、また論理回路間の接続関係を定め、さらに入力変数や入力定数などを定義したデータとなる。したがって、設定データ40は、各論理回路50の機能を選択するセレクタに供給する選択情報、接続部52の結線を設定する接続情報、必要な変数データや定数データなどを含んで構成される。

[0037] 図1に戻って、回路の構成時、制御部18は、1つの回路を構成するための複数の設定データ40を選択する。ここでは、制御部18が、図2に示す回路42を構成するための設定データ40、すなわち分割回路Aの設定データ40a、分割回路Bの設定データ40b、分割回路Cの設定データ40cおよび分割回路Dの設定データ40dを選択するものとする。制御部18は、選択した設定データ40を設定部14に供給する。設定部14はキャッシュメモリや他の種類のメモリを有し、供給される設定データ40をそれぞれ保持する。具体的に制御部18は、設定データ40aを第1設定部14aに、設定データ40bを第2設定部14bに、設定データ40cを第3設定部14cに、設定データ40dを第4設定部14dに供給する。なお、本例においては、制御部18が記憶部34から設定データ40を受けて設定部14に供給する構成について説明するが、制御部18を設けることなく、予め設定部14に設定データおよび各回路を制御するための制御データを記憶するRAM(Random Access Memory)や、ROM(Read Only Memory)等のメモリを備えた構成とすることも可能である。

[0038] 設定部14は、選択された設定データ40をリコンフィギュラブル回路12に設定し、リコンフィギュラブル回路12の回路を再構成する。これにより、リコンフィギュラブル回路12は、所期の演算を実行できる。リコンフィギュラブル回路12は、基本セルとして高性能の演算能力のあるALUを用いており、またリコンフィギュラブル回路12および設定部14を1チップ上に構成(マッピング)することから、コンフィグレーションを高速に、例えば1クロックで実現することができる。制御部18はクロック機能を有し、クロック信号は、内部状態保持回路20および出力回路22に供給される。また制御部18はカウンタ回路を含み、カウント信号を選択器16に供給してもよい。この場合、カウンタ回路は4進カウンタである。

- [0039] 図6は、本実施の形態における信号処理のフローチャートを示す。制御部18は、カウンタ回路からのカウント信号に合わせて、リコンフィギュラブル回路12に複数の設定データ40、すなわち設定データ40a、設定データ40b、設定データ40cおよび設定データ40dを順次供給するように設定部14を制御する。設定部14が、複数の設定データ40をリコンフィギュラブル回路12に順次供給することにより、全体として1つの回路が構成されることになる。出力回路22は、設定部14によりリコンフィギュラブル回路12が複数回、ここでは4回構成されると、リコンフィギュラブル回路12の出力を出力する。この回数は、使用する設定データ40の個数となる。以下、具体的な手順を示す。
- [0040] まず、制御部18が、選択器16を制御して第1設定部14aを選択する。選択器16は、カウンタ回路により制御されてもよい。第1設定部14aは、分割回路Aの設定データ40aをリコンフィギュラブル回路12に供給し、リコンフィギュラブル回路12上に分割回路Aを構成する(ステップS10)。分割回路Aが構成されると同時に、入力データが分割回路Aに供給される。組合せ回路である分割回路Aは、次のクロック信号までの間に、演算処理を実行する。
- [0041] 制御部18がクロック信号を内部状態保持回路20に供給すると、内部状態保持回路20は、分割回路Aによる処理結果を保持する(ステップS12)。ステップS10およびステップS12のステップを第1サイクルと呼ぶ。同時に、制御部18が、選択器16を制御して第2設定部14bを選択する。第2設定部14bは、分割回路Bの設定データ40bをリコンフィギュラブル回路12に供給し、リコンフィギュラブル回路12上に分割回路Bを構成する。このとき、内部状態保持回路20に保持された分割回路Aの処理結果が、経路部24を通して分割回路Bの入力に供給される(ステップS14)。分割回路Bは、次のクロック信号までの間に、演算処理を実行する。
- [0042] 制御部18が次のクロック信号を内部状態保持回路20に供給すると、内部状態保持回路20は、分割回路Bの処理結果を保持する(ステップS16)。ステップS14およびステップS16のステップを第2サイクルと呼ぶ。同時に、制御部18が、選択器16を制御して第3設定部14cを選択する。第3設定部14cは、分割回路Cの設定データ40cをリコンフィギュラブル回路12に供給し、リコンフィギュラブル回路12上に分割回

路Cを構成する。このとき、内部状態保持回路20に保持された分割回路Bの処理結果が、経路部24を通して分割回路Cの入力に供給される(ステップS18)。分割回路Cは、次のクロック信号までの間に、演算処理を実行する。

[0043] 制御部18が次のクロック信号を内部状態保持回路20に供給すると、内部状態保持回路20は、分割回路Cの処理結果を保持する(ステップS20)。ステップS18およびステップS20のステップを第3サイクルと呼ぶ。同時に、制御部18が、選択器16を制御して第4設定部14dを選択する。第4設定部14dは、分割回路Dの設定データ40dをリコンフィギュラブル回路12に供給し、リコンフィギュラブル回路12上に分割回路Dを構成する。このとき、内部状態保持回路20に保持された分割回路Cの処理結果が、経路部24を通して分割回路Dの入力に供給される(ステップS22)。分割回路Dは、次のクロック信号までの間に、演算処理を実行する。

[0044] 制御部18が次のクロック信号を出力回路22に供給すると、出力回路22は、分割回路Dの処理結果を出力する(ステップS24)。ステップS22およびステップS24のステップを第4サイクルと呼ぶ。第1サイクルから第4サイクルまでの処理を繰り返す行なう場合には、再度、制御部18が選択器16を制御して第1設定部14aを選択し、リコンフィギュラブル回路12上に分割回路Aを構成して、入力データが供給される。

[0045] 以上のように、1つの回路42を分割した複数の分割回路A〜Dをリコンフィギュラブル回路12上に順次構成し、各分割回路の出力を次の分割回路の入力にフィードバックして各分割回路における演算処理を実行し、最後に構成された分割回路Dから、回路42の出力を取り出す。ステップS10からステップS24までにかかる時間は4クロック分であり、本実施の形態の処理装置10によると、限られたリコンフィギュラブル回路12の回路規模のなかで、効率よい演算処理を実行することができる。また、リコンフィギュラブル回路12の回路規模が小さいため、消費電力も小さくできる。

[0046] 制御部18は、内部状態保持回路20および出力回路22に同一のクロック信号を供給してもよいが、出力回路22に供給するクロック信号の周期を、内部状態保持回路20に供給するクロック信号の周期の4倍に設定してもよい。内部状態保持回路20および出力回路22に同一のクロック信号を供給する場合は、内部状態保持回路20に出力回路22の役目をもたせ、1つの回路にまとめることもできる。この場合は、出力先の

回路以降で必要な信号を取り出すための回路が必要となる。図6に示した例では1つの回路42を4サイクルの分割回路で表現したため、出力回路22の動作周期が内部状態保持回路20の動作周期の4倍となっているが、周期の比は、回路42の分割数に応じて変化する。また、この例では第1設定部14aー第4設定部14dの4つの設定部を利用したが、この数も回路42の分割数に応じて変動することは当業者に容易に理解されるところである。

[0047] 図7は、前後7点を利用する7タップからなるFIRフィルタ回路を示す。以下、このFIR (Finite Impulse Response) フィルタ回路を、本実施の形態における処理装置10で実現する具体例を示す。このFIRフィルタ回路の係数は、図示のごとく、対称に設定されている。

[0048] 図8は、図7で示すFIRフィルタ回路を変換した回路を示す。回路の変換は、フィルタ係数の対称性を利用している。

[0049] 図9は、図8で示すFIRフィルタ回路をさらに変換した回路を示す。ここでは、フィルタ係数に着目した変換を行なっている。具体的には、係数1/16を $1/2 \times 1/2 \times 1/2 \times 1/2$ に、2/16を $1/2 \times 1/2 \times 1/2$ に、8/16を $1/2$ に変換している。係数1/2の演算はデータを右に1ビットシフトすることで実現できる。1ビットシフタは、複数ビットシフタと比べて、ALU内において非常に小さいスペースで形成することができる。

[0050] 図10は、図9に示すFIRフィルタ回路をコンパイルして作成したデータフローグラフ38aを示す。図中、“+”は加算を示し、“>>1”は1ビットのシフトを示し、“MOV”はスルー用のパスを示す。図示のごとく、データフローグラフ38aは、7段の演算子で構成される。

[0051] 図11は、本実施例で使用するリコンフィギュラブル回路12を示す。本例では、リコンフィギュラブル回路12が、4列2段のALUを含んで構成される。

[0052] 図12は、図10に示すデータフローグラフ38aを、図11のリコンフィギュラブル回路12を用いて実現する例を示す。データフローグラフ38aが7段で構成され、リコンフィギュラブル回路12が2段で構成されていることから、データフローグラフ38aは、4つに分割される。

[0053] 第1サイクルでは、第1設定部14aが、データフローグラフ38aの第1段および第2

段の内容を、設定データ40aによりリコンフィギュラブル回路12上に構成する。第2サイクルでは、第2設定部14bが、データフローグラフ38aの第3段および第4段の内容を、設定データ40bによりリコンフィギュラブル回路12上に構成(マッピング)する。第3サイクルでは、第3設定部14cが、データフローグラフ38aの第5段および第6段の内容を、設定データ40cによりリコンフィギュラブル回路12上に構成(マッピング)する。第4サイクルでは、第4設定部14dが、データフローグラフ38aの第7段の内容を、設定データ40dによりリコンフィギュラブル回路12上に構成(マッピング)する。各サイクルにおける出力結果は、次のサイクルの入力としてフィードバックされる。

[0054] 実施の形態1において、ALUは、“+”、“>>1”、“MOV”の3種類のみで実現することができる。複数ビットのシフトを、1ビットシフタを複数回利用することにより表現することとしたため、必要とされるALUの機能を非常に少なくすることができる。これにより、リコンフィギュラブル回路12の回路規模を小さくできる。なお、4種類の設定データ40を供給するため、制御部18におけるカウンタ回路は、4進カウンタとなる。

[0055] (実施の形態2)

図13は、図8に示すFIRフィルタ回路をコンパイルして作成したデータフローグラフ38bを示す。図中、“+”は加算を、“MOV”はスルー用のパスを、“>>4”は4ビットのシフトを、“>>3”は3ビットのシフトを、“>>1”は1ビットのシフトを示す。図9の例では、複数ビットのシフトを1ビットシフトにおとしてデータフローグラフ38aを作成したが、図13の例では、複数ビットのシフトをそのままにデータフローグラフ38bを作成している。図示のごとく、データフローグラフ38bは、4段の演算子で構成される。

[0056] 図14は、図13に示すデータフローグラフ38bを、図11のリコンフィギュラブル回路12を用いて実現する例を示す。データフローグラフ38bが4段で構成され、リコンフィギュラブル回路12が2段で構成されていることから、データフローグラフ38bは、2つに分割される。

[0057] 第1サイクルでは、第1設定部14aが、データフローグラフ38bの第1段および第2段の内容を、設定データ40aによりリコンフィギュラブル回路12上に構成(マッピング)する。第2サイクルでは、第2設定部14bが、データフローグラフ38bの第3段および第4段の内容を、設定データ40bによりリコンフィギュラブル回路12上に構成(マッピ

ング)する。第1サイクルにおける出力結果は、次の第2サイクルの入力としてフィードバックされる。

[0058] 実施の形態2において、ALUは、“+”、“>>4”、“>>3”、“>>1”、“MOV”の5種類で実現することができる。実施例1と比較すると、必要なALUの機能は増加するが、使用する設定部の数は2つと減少している。なお、2種類の設定データ40を供給するため、制御部18におけるカウンタ回路は、2進カウンタとなる。また、出力回路22の動作周期は、内部状態保持回路20の動作周期の2倍となる。

[0059] (実施の形態3)

上記の実施の形態1および2の構成においては、具体例として単一の回路であるFIRフィルタ回路についてリコンフィギュラブル回路を用いて実現する構成について説明したが、本発明の実施の形態3においては複数の回路をリコンフィギュラブル回路で実現する方式について説明する。

[0060] 図15は、本発明の実施の形態3に従う処理装置10aの構成図である。

[0061] 図15を参照して、本発明の実施の形態3に従う処理装置10aは、実施の形態1に従う処理装置10と比較して、集積回路装置26を集積回路装置26aに置換した点が異なる。集積回路装置26aは、図1に示される集積回路装置26と比較して、メモリ部27と切替回路28と、経路部29とをさらに備える点で異なる。

[0062] メモリ部27は、制御部18からの指示に基づきリコンフィギュラブル回路12から出力されるデータ信号を格納するための記憶領域である。また、制御部18からの指示に基づき格納されたデータ信号は、経路部29を通じてリコンフィギュラブル回路12の入力として伝達される。リコンフィギュラブル回路12への入力経路部24、29の2系統存在するが、経路部24は、メモリ部27を介さないために高速にフィードバック処理することが可能である。特に、メモリ部27が低速で動作処理する場合には、経路部24は、経路部29よりもさらに高速に処理する。

[0063] 切替回路28は、入力データおよび経路部24、29を介してフィードバックされる入力データを、選択器16から出力される切替指示に基づいて選択的にリコンフィギュラブル回路12に入力する。具体的には、第1設定部14aー第4設定部14dの制御部18の選択に伴い、設定される設定データに基づく所定のタイミングで選択器16から切

替指示がなされる。その他の点は図1で示される集積回路装置26の構成と同様であるので、その詳細な説明は繰返さない。

- [0064] 以下においては、複数の回路としてデジタル復調回路群を具体例としてリコンフィギュラブル回路上に構成(マッピング)する方式について説明する。
- [0065] 図16は、本発明の実施の形態3に従うリコンフィギュラブル回路を用いて構成するデジタル復調回路群の構成図である。
- [0066] 図16を参照して、デジタル復調回路群は、FIRフィルタ回路50と、FIRフィルタ回路52と、復調処理回路54とを含む。FIRフィルタ回路50は、入力信号Iの入力を受けて中間出力信号MIを出力する。FIRフィルタ回路52は、入力信号Qを受けて中間出力信号MQを出力する。復調処理回路54は、中間出力信号MI, MQの入力を受けて復調処理し、フィードバック制御出力信号Y2と、出力信号Y1を出力する。
- [0067] 図17は、復調処理回路54の構成を説明する概念図である。
- [0068] 図17を参照して、復調処理回路54は、ループフィルタ56と、乗算器58と、正負判定回路60(SGN)とで構成されている。正負判定回路60は、中間出力信号MIの入力を受けて、判定結果に基づいて復調出力信号Y1を出力する。乗算器58は、中間出力信号MI, MQの入力を受けて、乗算結果をループフィルタ56に出力する。ループフィルタ56は、乗算器58からの出力信号を受けて、フィードバック制御出力信号Y2を出力する。なお、フィードバック制御出力信号Y2は、図示しないが、他のデジタル復調処理に用いられる回路にフィードバック入力される制御信号である。
- [0069] 図18は、ループフィルタ56を示す。
- [0070] 図18を参照して、ループフィルタ56には、乗算器58からの出力信号が入力される。そして、フィードバックされる信号MY#と加算(“+”)されて信号MYが出力される。そして、信号MYは、1ビットシフタを介してフィードバック制御出力信号Y2としてループフィルタ56から出力される。
- [0071] 図19は、図17に示す復調処理回路54をコンパイルして作成したデータフローグラフ38cを示す。図中、“×”は乗算を示し、“SGN”は正負判定を示す。他の演算子については上述したのと同様の構成である。図示のごとく、データフローグラフ38cは、3段の演算子で構成される。

- [0072] 図20は、本発明の実施の形態3に従うデジタル復調回路群をリコンフィギュラブル回路にマッピングする場合の処理の流れを説明する図である。
- [0073] 図20を参照して、最初にFIRフィルタ回路50をマッピングし、入力信号Iに基づく出力信号MIを生成する。具体的には、図12で説明したのと同様の方式にしたがって、データフローグラフ38aが4つに分割され、第1設定部14aー第4設定部14dからそれぞれ出力される設定データ40aー40dに従ってFIRフィルタ50がリコンフィギュラブル回路12上に構成(マッピング)される。上述したように各サイクルにおける出力結果は、次のサイクルの入力としてフィードバックされるが、最後の第4サイクルの出力結果すなわち出力信号MIはメモリ部27の所定領域に格納される。
- [0074] 次に、FIRフィルタ回路52をマッピングし、入力信号Qに基づく出力信号MQを生成する。具体的には、FIRフィルタ回路50と同様の方式にしたがって、データフローグラフ38aが4つに分割され、図示しないが第1設定部14aー第4設定部14dからそれぞれ出力される設定データ40eー40hに従って第5サイクルー第8サイクルにおいてリコンフィギュラブル回路12上にFIRフィルタ回路52がマッピングされる。この場合、最後の第8サイクルの出力結果すなわち出力信号MQはメモリ部27の所定領域に格納される。
- [0075] 次に、復調処理回路54をマッピングし、中間出力信号MI, MQ(入力信号)に基づく出力信号Y1, Y2を生成する。
- [0076] 図21は、図19に示すデータフローグラフ38cを、図11のリコンフィギュラブル回路12を用いて実現する例を示す。データフローグラフ38cが4段で構成され、リコンフィギュラブル回路12が2段で構成されていることから、データフローグラフ38cは、2つに分割される。
- [0077] 第9サイクルでは、第1設定部14aが、データフローグラフ38cの第1段および第2段の内容を、設定データ40iによりリコンフィギュラブル回路12上に構成する。第10サイクルでは、第2設定部14bが、データフローグラフ38cの第3段および第4段の内容を、設定データ40jによりリコンフィギュラブル回路12上に構成(マッピング)する。各サイクルにおける出力結果は、次のサイクルの入力としてフィードバックされる。これに伴い、復調処理回路54をマッピングすることができる。

- [0078] ここで、第9サイクルにおいて、メモリ部27の所定領域に格納された中間出力信号MI、MQおよび信号MY#が経路部29を介してリコンフィギュラブル回路12に入力される。また、本例の如く、メモリ部27の記憶領域を設けてリコンフィギュラブル回路12を用いてマッピングした回路の出力データ等を保持することにより、並列処理を実行する回路群においても1つのリコンフィギュラブル回路12を用いて構成することができる。なお、信号MY#は、前回に復調処理回路54をマッピングした場合の第10サイクル後に出力される出力信号であり、メモリ部27の記憶領域に格納されているものとする。上記においては、FIRフィルタ回路50をマッピングした後にFIRフィルタ回路52をマッピングする場合について説明したがその順序を入れ替えても同様である。
- [0079] すなわち、メモリ部27を設けて出力データ等に記憶させておくことにより、任意の回路を任意の順序でリコンフィギュラブル回路12を用いてマッピングすることができる。
- [0080] なお、本実施の形態3においてはALUは、“+”、“>>1”、“MOV”、“×”、“SGN”の5種類のみで実現することができる。
- [0081] なお、上記の実施の形態1〜3で説明した図3および図4の構成においても、後述するALU段の間にフリップフロップを設けたいわゆるパイプライン構成とすることも当然に適用可能である。
- [0082] (実施の形態4)
- 上記の実施の形態においては、リコンフィギュラブル回路12が2段のALUの構成である場合について説明してきたが、例えばそれよりも複数段例えば3段である場合について考える。
- [0083] この場合、図2で説明した所期の回路42が4つの分割回路A#〜分割回路D#に分割されるものとする。各分割回路は、ALUの段数に応じた論理回路の演算機能を特定する情報および接続情報を有している。すなわち、各分割回路は、各々が1段ずつのALUを設定するための複数の分割ユニットで構成されているものと考えられる。
- [0084] 図22は、分割回路A#〜分割回路D#が複数の分割ユニットで構成されていることを説明する概念図である。ここでは、一例として、分割回路A#〜D#が各々3つの

分割ユニットを有している場合すなわち分割ユニットA1 #ーD3 #を有している場合が示されている。

[0085] 図23は、例えば選択器16が設定データに基づいてリコンフィギュラブル回路12に入力することにより、分割回路A #を構成(マッピング)した場合を説明する図である。

[0086] 本例においては、リコンフィギュラブル回路12は、3段のALUで構成されているものとし、1段ずつのALUに対して1つの分割ユニットが割り当てられるものとする。

[0087] リコンフィギュラブル回路12に所期の回路42をマッピングする場合、具体的には、分割回路を構成した場合、1つの分割回路は複数の分割ユニットで構成されており、順番に分割ユニットで所望の論理動作が実行される。

[0088] 図24は、リコンフィギュラブル回路12に構成された分割回路A #における処理の流れを説明する図である。たとえば、各分割ユニットにおける論理動作が1ステップサイクルかかるとすると、1つの分割ユニットを構成するためには、3ステップサイクル必要とされる。

[0089] このような構成においては、たとえば、最初のステップサイクルでは、分割ユニットA1 #で論理動作が行なわれ、次のステップサイクルで分割ユニットA2 #で論理動作が順番に実行されるが、この次のステップサイクルでは、分割ユニットA1 #の論理動作は行なわれない。したがって、何にも用いられない空き領域が回路内に存在することになる。特に、リコンフィギュラブル回路を構成するALUの段数が多くなればなるほど、空き領域が回路内に存在することになる。それゆえ、このような場合にはその領域を他の用途に有効に利用することが好ましい。すなわち、ALUの格段において独立に動作するいわゆるパイプライン処理が実行されることが望ましい。

[0090] 本実施の形態4においては、リコンフィギュラブル回路を構成する複数のALUの格段間の接続部にフリップフロップ回路が含まれるようないわゆるパイプライン構成である場合に最適な方式について説明する。以下、パイプライン構成に最適なリコンフィギュラブル回路について主に説明する。

[0091] 図25は、本発明の実施の形態4に係る処理装置10 #の構成図である。

[0092] 本発明の実施の形態4に従う処理装置10 #は、図15で示した処理装置10aと比較して、集積回路装置26aを集積回路装置26 #に置換した点異なる。その他の

点は、図1および15で説明した処理装置10および10aと同様であるのでその詳細な説明は繰返さない。

[0093] 本発明の実施の形態4に従う集積回路装置26#は、図15で示した集積回路装置26aと比較して、リコンフィギュラブル回路12をリコンフィギュラブル回路12#aに置換するとともに、設定部14を設定部14#に置換した点が異なる。その他の点は同様の構成であるのでその詳細な説明は繰返さない。リコンフィギュラブル回路12#aは、いわゆるパイプライン構成となっており、設定を変更することにより機能の変更を可能とする。設定部14#は、第1回路設定部15a、第2回路設定部15b、第3回路設定部15c、および回路処理制御部16を有し、リコンフィギュラブル回路12#aに所期の回路を構成するための設定データ40を供給する。なお、回路処理制御部16は、第1回路設定部15aー第3回路設定部15cからの出力をリコンフィギュラブル回路12#aのパイプラインの格段である後述するリコンフィギュラブルユニットに所定の順序で供給する。さらに、この第1回路設定部15aー第3回路設定部15cは、後述するリコンフィギュラブルユニットにそれぞれ対応して設けられている。なお、上記で説明した設定部14および14#は、設定データ等を記憶するメモリと、メモリのアドレスであるメモリアドレスを指定するいわゆるプログラムカウンタとで構成することも可能である。

[0094] 図26は、リコンフィギュラブル回路12#aの構成図である。

[0095] 図26を参照して、リコンフィギュラブル回路12#aは、リコンフィギュラブル回路12と比較して、さらにフリップフロップ回路を設けた点で異なり、パイプライン動作する。

[0096] 具体的には、リコンフィギュラブル回路12#aは、接続部52を接続部+FF回路52#aに置換した点が異なる。この接続部+FF回路52#aは、前段の論理回路列の出力と後段の論理回路列の入力との接続関係を設定可能な接続部と、前段の論理回路列の出力すなわち内部状態を保持する状態保持回路(単に、FF回路(FT)とも称する)とを有する。

[0097] リコンフィギュラブル回路12#aは、複数の論理回路50の列が複数段にわたって配列されたもので、各段に設けられた接続部+FF回路52#aによって、前段の論理回路列の出力と後段の論理回路列の入力が設定により任意に接続、あるいは、決められた組合せのうちより選択された接続が可能な構成となっている。また、前段の論理

回路列の出力信号を保持することができる。

[0098] 図示のようにリコンフィギュラブル回路12#aは、横方向にY個、縦方向にX個のALUが配置されたALUアレイとして構成される。第1段のALU11、ALU12、…、ALU1Yには入力変数や定数が入力され、設定された所定の演算がなされる。演算結果の出力は、第1段の接続部+FF回路52に設定された接続に従って、第2段のALU21、ALU22、…、ALU2Yに入力される。第1段の接続部+FF回路52においては、第1段のALU列の出力と第2段のALU列の入力の間で任意の接続関係、あるいは、決められた組合せのうちより選択された接続関係を実現できるように結線が構成されており、設定により所期の結線が有効となる。以下、第(X-1)段の接続部+FF回路52#aまで同様の構成であり、最終段である第X段のALU列は演算の最終結果を出力する。

[0099] なお、本構成においては、接続部+FF回路52#aがALUと、交互に1段ずつ設けられた構成を示している。この接続部+FF回路52#aを配置することにより、リコンフィギュラブル回路12#aは、1段ずつのALUで構成されるX段のリコンフィギュラブルユニットに分割されることになる。具体的には、1段のリコンフィギュラブルユニットは、1段のALU列と1段の接続部+FF回路52#aで構成される。なお、最終段のリコンフィギュラブルユニットは、1段のALU列のみとすることも可能であり、図1の内部状態保持回路20と組合せることも可能である。この分割は、FF回路に従うものであり、たとえば、2段のALU毎に、接続部+FF回路52#aを設け、それ以外は、FF回路を有しない接続部のみとすれば、2段ずつのALUで構成されるX/2段のリコンフィギュラブルユニットに分割されることになる。その他、FF回路を所定段のALU毎に設けることにより、所望段のリコンフィギュラブルユニットを構成することも可能である。

[0100] 図27は、図26に示されるリコンフィギュラブル回路12#aと置換可能なリコンフィギュラブル回路12#bの構成図である。

[0101] 図27を参照して、リコンフィギュラブル回路12#bは、リコンフィギュラブル回路12#aと比較して、接続部+FF回路52#aを接続部+FF回路52#bに置換した点が異なる。接続部+FF回路52#bは、接続部+FF回路52#aの機能に加えて外部から直接入力変数や定数の入力可能な構成であるとともに、接続部+FF回路52

#bから直接外部に前段のALUの演算結果を出力することも可能である。この構成により図26に示されるリコンフィギュラブル回路12#aの構成よりも多様な組合せ回路を構成することが可能となり、設計の自由度が向上する。他の部分および構成については図26で示されるリコンフィギュラブル回路12#aの構成と同様であるのでその詳細な説明は繰返さない。

- [0102] 図28は、一例として本実施の形態4に従うリコンフィギュラブル回路12#aにマッピングする回路群の一例図である。
- [0103] 図28を参照して、ここでは3つの回路、回路FA〜FCが示される。回路FAは、入力信号IPの入力を受けて出力信号MIPを出力する。回路FBは、入力信号QPの入力を受けて出力信号MQPを出力する。回路FCは、入力信号MIPおよびMQPの入力を受けて出力信号YPを出力する。これらの回路FA〜FCの設定データは、第1回路設定部15a〜第3回路設定部15cに記憶されている。
- [0104] 図29A〜図29Cは、回路FA、FBおよびFCをリコンフィギュラブル回路12#aの各リコンフィギュラブルユニットにマッピングするために分割した分割ユニットを説明する概念図である。本例においては、1段ずつのALUを有する3段のリコンフィギュラブルユニットの構成でリコンフィギュラブル回路12#aが設定されているものとする。
- [0105] 図29Aは、回路FAの分割ユニットの概念図である。図29Aを参照して、ここでは、リコンフィギュラブル回路12#aの構成に併せて回路FAは、2つの分割回路に分割され、さらに分割ユニットFA1〜FA6に分割されるものとする。図29Bは、回路FBを分割した場合の分割ユニットの概念図である。同様にしてここでは、回路FBは、2つの分割回路に分割され、さらに分割ユニットFB1〜FB6に分割されるものとする。図29Cは、回路FCを分割した場合の分割ユニットの概念図である。同様にしてここでは、回路FCは、2つの分割回路に分割され、さらに分割ユニットFC1〜FC6に分割されるものとする。
- [0106] 図30は、本発明の実施の形態に従うリコンフィギュラブル回路12#aに回路FA〜FCをマッピングする方式を説明する概念図である。
- [0107] 図30を参照して、最初のステップサイクル(第1ステップサイクル)に、まず第1段目に分割ユニットFA1がマッピングされ、入力信号IPが入力される。この分割ユニットF

A1における論理動作を実行後、上述した接続部+FF回路52#aでその論理結果が保持される。次のステップサイクル(第2ステップサイクル)に、第2段目に分割ユニットFA2がマッピングされるとともに、第1段目には入力信号QPを受ける分割ユニットFB1がマッピングされる。これに伴い、第1段目においては、分割ユニットFB1における論理動作が実行されて、上述した接続部+FF回路52でその論理結果が保持される。また、第2段目においては、分割ユニットFA2が前段における保持された論理結果の入力を受けて、所定の論理動作を実行し、その結果が接続部+FF回路52で保持される。その次のステップサイクル(第3ステップサイクル)に、第3段目に分割ユニットFA3がマッピングされ、第2段目に分割ユニットFB2がマッピングされ、第1段目に入力信号MIP(-1)および入力信号MQP(-1)を受ける分割ユニットFC1がマッピングされる。これに伴い、第3段目においては、分割ユニットFC1における論理動作が実行されてリコンフィギュラブル回路12#aから出力される。出力結果は、内部状態保持回路20で保持され、経路部24を通じてリコンフィギュラブル回路12#aの入力側に伝達される。具体的には、切替回路28に経路部24を通じて伝達される信号は、回路処理制御部16からの指示に応答してリコンフィギュラブル回路12#aに入力される。次のステップサイクル(第4ステップサイクル)に、第1段目に分割ユニットFA4をマッピングし、第2段目に分割ユニットFC2をマッピングし、第3段目に分割ユニットFB3をマッピングする。以降、同様の方式にしたがって、各回路FA〜FCの信号処理の流れの順序に従って、リコンフィギュラブル回路12#aの第1段〜第3段目のALUにそれぞれ分割ユニットFA1〜FA6, FB1〜FB6, FC1〜FC6を順番にマッピングする。

[0108] これにより、第6ステップサイクルのマッピングにより、第3段目のALUに構成された分割ユニットFA6から出力信号MIPが出力される。また、第7ステップサイクルのマッピングにより、第3段目の分割ユニットFB6から出力信号MQPが出力される。また、第8ステップサイクルのマッピングにより、第3段目の分割ユニットFC6から出力信号YP(-1)が出力される。

[0109] このようにして、1回のステップサイクルにおいて、異なる回路の分割ユニットをリコンフィギュラブル回路12#aの所定領域にそれぞれ割付けることが可能となり、全体とし

て1つの回路を構成した場合に高速な論理動作を実現することが可能となる。たとえば、回路FAをマッピングして入力信号IPに基づく出力信号MIPを生成し、次に、回路FBをマッピングして入力信号QPに基づく出力信号MQPを生成し、そして最後に回路FCをマッピングして入力信号MIPおよびMQPに基づく出力信号YPを生成した場合、18ステップサイクル後に出力信号YPが出力される。これに対して、本方式を採用することにより14ステップサイクル後に出力信号YPを出力することが可能となる。

- [0110] 本方式の如く、リコンフィギュラブル回路12#aの各段で、それぞれ別の回路をマッピングし、複数の演算処理を並列して実行することにより、高速なマッピングに伴い、高速な論理動作を実現することが可能となる。
- [0111] 特に、リコンフィギュラブルユニットを無駄なく使用しているため、高速な処理が可能であり、結果として回路の小型化、低消費電力化を図ることができる。
- [0112] また、1つの回路について、マッピングする際、処理の流れが途切れることなく連続的に行なわれるため、データを逐次記憶させておくための特別なメモリ等を必要とすることがなく、この面でも回路の小型化、低消費電力化を図ることができる。さらに、複数の回路の同時マッピングが可能な構成であるため、マルチタスクを行ないやすい。さらに、データフローグラフのマッピングに適した構成であり、マッピングソフトウェアの開発が容易である。
- [0113] なお、本例における(−1)、(+1)の標記は、現在に対して、1つ前および後の信号を指し示すものとする。入力信号MIP(−1)および入力信号MQP(−1)はメモリ部27に格納されているものとする。これら、メモリ部27に格納された信号は、経路部29を通じて切替回路28に与えられ、制御部18からの指示に応答してリコンフィギュラブル回路12#aに入力される。
- [0114] 図31は、記憶部34において記憶されている分割ユニットの複数の設定データが格納されている記憶領域を説明する概念図である。
- [0115] 図31を参照して、ここでは横方向に列アドレスC0〜C5が対応付けられ、縦方向に行アドレスR0〜R2が対応付けられる。たとえば本例においてはアドレス(R0, C0)は分割ユニットFA1の設定データを指し示すものとする。また、アドレス(R2, C5)は分

割ユニットFC6の設定データを指し示すものとする。

- [0116] 図32は、制御部18が、記憶部34の設定データ40からアドレス指定して第1回路設定部15a、第2回路設定部15bおよび第3回路設定部15cに設定データを伝達する方式を説明する概念図である。
- [0117] 図32を参照して、制御部18は、行アドレスR0、列アドレスC0, C2, C4, C1, C3, C5の順番にそれぞれ読出して第1段目のリコンフィギュラブルユニットにマッピングする第1回路設定部15aに出力する。また、制御部18は、1ステップサイクル遅延してから、行アドレスR1、列アドレスC0, C2, C4, C1, C3, C5の順序で第2段目のリコンフィギュラブルユニットにマッピングする第2回路設定部15bに出力する。また、制御部18は、2ステップサイクル遅延してから、行アドレスR2、列アドレスC0, C2, C4, C1, C3, C5の順序で第3段目のリコンフィギュラブルユニットにマッピングする第3回路設定部15cに出力する。また、制御部18は、設定データ40の入力とともに、与えられる制御データに基づき、出力回路22を駆動するタイミング、メモリ部27へのデータ信号の格納、設定部14を制御する。
- [0118] これにより、図30で示される順序でリコンフィギュラブル回路12#aにマッピング動作が実行され、高速なマッピング動作とともに高速な論理演算動作すなわち高速な所期の回路構成を実現することができる。
- [0119] 図33は、本実施の形態に従うリコンフィギュラブル回路12#aにマッピングする別の回路群の一例図である。
- [0120] 図33を参照して、ここでは4つの回路、回路FA, FB, FD, FEが示される。回路FAは、入力信号IPの入力を受けて出力信号MIPを出力する。回路FBは、入力信号QPの入力を受けて出力信号MQPを出力する。回路FDは、入力信号MIPの入力を受けて出力信号MYPを出力する。回路FEは、入力信号MYP, MQPの入力を受けて、出力信号Zを出力する。
- [0121] 図34Aー図34Dは、回路FA, FB, FD, FEをリコンフィギュラブル回路12#aの各リコンフィギュラブルユニットにマッピングするために分割した分割ユニットを説明する概念図である。本例においては、1段ずつのALUを有する3段のリコンフィギュラブルユニットの構成でリコンフィギュラブル回路12#aが設定されているものとする。

- [0122] 図34Aは、回路FAを分割した場合の分割ユニットの概念図である。図34Aを参照して、ここでは、リコンフィギュラブル回路12#aの構成に併せて回路FAは、2つの分割回路に分割され、さらに分割ユニットFA1〜FA6に分割されるものとする。図34Bは、回路FBを分割した場合の分割ユニットの概念図である。同様にしてここでは回路FBは、2つの分割回路に分割され、さらに分割ユニットFB1〜FB6に分割されるものとする。図34Cは、回路FDを分割した場合の分割ユニットの概念図である。同様にしてここでは、回路FDは、分割ユニットFD1〜FD3に分割されるものとする。図34Dは、回路FEを分割した場合の分割ユニットの概念図である。同様にしてここでは、回路FEは、分割ユニットFE1〜FE3に分割されるものとする。
- [0123] 図35は、本発明の実施の形態4に従うリコンフィギュラブル回路12#aに回路FA, FB, FD, FEをマッピングする方式を説明する概念図である。
- [0124] 図35を参照して、最初のステップサイクル(第1ステップサイクル)に、まず第1段目に分割ユニットFA1がマッピングされ、入力信号IPが入力される。次のステップサイクル(第2ステップサイクル)に、第2段目に分割ユニットFA2がマッピングされるとともに、第1段目には入力信号QPを受ける分割ユニットFB1がマッピングされる。その次のステップサイクル(第3ステップサイクル)に、第3段目に分割ユニットFA3がマッピングされ、第2段目に分割ユニットFB2がマッピングされ、第1段目に入力信号MIP(−1)の入力を受ける分割ユニットFD1がマッピングされる。次のステップサイクル(第4ステップサイクル)に、第1段目に分割ユニットFA4をマッピングし、第2段目に分割ユニットFD2をマッピングし、第3段目に分割ユニットFB3をマッピングする。次のステップサイクル(第5ステップサイクル)に、第1段目に分割ユニットFB4をマッピングし、第2段目に分割ユニットFA5をマッピングし、第3段目に分割ユニットFD3をマッピングする。次のステップサイクル(第6ステップサイクル)に、第1段目に分割ユニットFE1をマッピングし、第2段目に分割ユニットFB5をマッピングし、第3段目に分割ユニットFA6をマッピングする。以降、同様の方式にしたがって、各回路FA, FB, FD, FEの信号処理の流れの順序に従って、リコンフィギュラブル回路12#aの第1段〜第3段目のALUにそれぞれ分割ユニットを順番にマッピングする。
- [0125] これにより、第6ステップサイクルのマッピングにより、第3段目のALUに構成された

分割ユニットFA6から出力信号MIPが出力される。また、第7ステップサイクルのマッピングにより、第3段目の分割ユニットFB6から出力信号MQPが出力される。また、第8ステップサイクルのマッピングにより、第3段目の分割ユニットFE3から出力信号Z(−1)が出力される。

[0126] ここでは、回路FDと、回路FEを同じ回路と1つの回路とみなしてマッピングを実行する場合を示している。

[0127] このようにして、1回のステップサイクルにおいて、異なる回路の分割ユニットをリコンフィギュラブル回路12#aの所定領域にそれぞれ割付けることが可能となり、全体として1つの回路を構成した場合に高速な論理動作を実現することが可能となる。

[0128] 本方式の如く、リコンフィギュラブル回路12#aの各段で、それぞれ別の回路をマッピングし、複数の演算処理を並列して実行することにより、高速なマッピングに伴い、高速な論理動作を実現することが可能となる。なお、本例における(−1)、(+1)の標記は、現在に対して、1つ前および後の信号を指し示すものとする。入力信号MIP(−1)、MYP(−1)および入力信号MQP(−1)はメモリ部27に格納されているものとする。

[0129] 図16で説明したデジタル復調回路群の各回路を分割した分割ユニットについて説明する。

[0130] 図36Aは、FIRフィルタ50を分割した分割ユニットを説明する図である。具体的には、図10で示した7段の演算子で構成されるデータフローグラフ38aについて1段ずつ分割した分割ユニットTA1〜TA7が示されている。図36Bは、FIRフィルタ52を分割した分割ユニットを説明する図である。ここでは、図36Aと同様にしてFIRフィルタ52を1段ずつに分割した分割ユニットTB1〜TB7が示されている。図36Cは、復調処理回路54を分割した分割ユニットを説明する図である。具体的には、図19で示した3段の演算子で構成されるデータフローグラフ38cについて1段ずつ分割した分割ユニットTC1〜TC3が示されている。なお、FIRフィルタ50および52については、データフローグラフ38aの7段の演算子に基づいて分割ユニットを構成した場合について説明しているが、図13で示した4段の演算子で構成されるデータフローグラフ38bを用いて1段ずつの分割ユニットに分割することも可能である。

- [0131] 図37は、図30で示したのと同様の方式にしたがってリコンフィギュラブル回路12#aにデジタル復調回路群をマッピングする場合を説明する概念図である。本例においては、1段ずつのALUを有する3段のリコンフィギュラブルユニットの構成でリコンフィギュラブル回路12#aが設定されているものとする。
- [0132] 図37に示されるように、最初のステップサイクル(第1ステップサイクル)に、まず第1段目に分割ユニットTA1がマッピングされ、入力信号IPが入力される。次のステップサイクル(第2ステップサイクル)に、第2段目に分割ユニットTA2がマッピングされるとともに、第1段目には入力信号QPを受ける分割ユニットTB1がマッピングされる。その次のステップサイクル(第3ステップサイクル)に、第3段目に分割ユニットTA3がマッピングされ、第2段目に分割ユニットTB2がマッピングされ、第1段目に入力信号MIPおよび入力信号MQPを受ける分割ユニットTC1がマッピングされる。次のステップサイクル(第4ステップサイクル)に、第1段目に分割ユニットTA4をマッピングし、第2段目に分割ユニットTC2をマッピングし、第3段目に分割ユニットTB3をマッピングする。以降、同様の方式にしたがって、FIR回路50、52および復調処理回路54を信号処理の流れの順序に従って、リコンフィギュラブル回路12#aの第1段〜第3段目のALUを用いてそれぞれマッピングする。
- [0133] これにより、1回のステップサイクルにおいて、異なる回路の分割ユニットをリコンフィギュラブル回路12#aの所定領域にそれぞれ割付けることが可能となり、全体として1つの回路を構成した場合に高速な論理動作を実現することが可能となる。
- [0134] なお、上記の実施の形態4に従う方式を実施の形態1〜3に従う構成に対して適用することも当然に可能である。
- [0135] なお、上述したように上記の説明は、ALU1段毎にFF回路を挿入する構成について説明したが、複数段のALU毎、たとえば2段毎にFF回路を挿入するような場合においても当然に適用可能である。
- [0136] 以上、本発明を実施の形態をもとに説明した。実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。
- [0137] 例えば、リコンフィギュラブル回路12#aにおけるALUの配列は、縦方向にのみ接

続を許した多段配列に限らず、横方向の接続も許した、メッシュ状の配列であってもよい。また、上記の説明では、段を飛ばして論理回路を接続する結線は設けられていないが、このような段を飛ばす接続結線を設ける構成としてもよい。

- [0138] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

- [0139] この発明による処理装置は、携帯電話やPDA(Personal Data Assistant)などのモバイル端末や放送受信機に適用することができる。

請求の範囲

- [1] 機能の変更が可能なリコンフィギュラブル回路(12)と、
前記リコンフィギュラブル回路(12)の出力を、前記リコンフィギュラブル回路(12)の入力として伝達するための第1経路部(24)と、
前記リコンフィギュラブル回路(12)に所期の回路を構成するための設定データ(40)を供給する設定部(14)と、
前記リコンフィギュラブル回路(12)に複数の設定データを順次供給するように前記設定部(14)を制御し、ある設定データにより前記リコンフィギュラブル回路(12)上で構成された回路の出力を、前記第1経路部(24)を通じて次の設定データにより構成される回路の入力に供給させる制御部(18)とを備える、処理装置。
- [2] 前記設定部(14)が、複数の設定データを前記リコンフィギュラブル回路(12)に順次供給することにより、全体として1つの回路が構成される、請求項1に記載の処理装置。
- [3] 複数の設定データ(40a-40d)は、1つの回路(42)を分割した複数の分割回路(A-D)をそれぞれ表現したものである、請求項1に記載の処理装置。
- [4] 前記リコンフィギュラブル回路(12)は組合せ回路(50, 52)として構成される、請求項1に記載の処理装置。
- [5] 前記リコンフィギュラブル回路(12)の出力を受ける出力回路(22)をさらに備え、
前記出力回路(22)は、前記設定部(14)により前記リコンフィギュラブル回路(12)が複数回構成されると、前記リコンフィギュラブル回路(12)の出力を出力する、請求項1に記載の処理装置。
- [6] 前記リコンフィギュラブル回路(12)の出力を受ける内部状態保持回路(20)をさらに備え、
前記内部状態保持回路(20)は、前記第1経路部(24)に接続されている、請求項1に記載の処理装置。
- [7] 前記ある設定データにより前記リコンフィギュラブル回路(12)上で構成された回路の出力を所定の領域に記憶するメモリ部(27)と、
前記メモリ部(27)の前記所定の領域に記憶された前記リコンフィギュラブル回路(1

- 2) 上で構成された回路の出力を、次の設定データにより構成される回路の入力として伝達するための第2経路部(29)とをさらに備える、請求項6に記載の処理装置。
- [8] 前記リコンフィギュラブル回路(12)の入力として、前記第2経路部(29)からの入力と、外部からの入力とを切り替える切替回路(28)をさらに備える、請求項7に記載の処理装置。
- [9] 前記リコンフィギュラブル回路(12)は、それぞれが複数の演算機能を選択的に実行可能な複数の論理回路(50)と、論理回路間の接続関係を設定可能な接続部(52)とを含み、
前記設定部(14)は、前記論理回路(50)の機能および前記接続関係を設定する、請求項1に記載の処理装置。
- [10] 前記論理回路(50)は、複数種類の多ビット演算を選択的に実行可能な算術論理回路(ALU)である、請求項9に記載の処理装置。
- [11] 1つの回路(42)を分割した複数の分割回路(A-D)をリコンフィギュラブル回路(12)上に順次構成し、ある分割回路の出力を次の分割回路の入力にフィードバックして分割回路における演算処理を実行し、最後に構成された分割回路から出力を取り出す、処理方法。
- [12] 機能の変更が可能なリコンフィギュラブル回路(12)と、
前記リコンフィギュラブル回路(12)の出力を、前記リコンフィギュラブル回路(12)の入力に接続する経路部(24)と、
前記リコンフィギュラブル回路(12)に所期の回路を構成するための設定データを供給する設定部(14)とを備える、集積回路装置。
- [13] 機能および接続関係の変更が可能なリコンフィギュラブル回路(12#a)と、
所期の回路の一部分を構成する分割ユニットを表現するための設定データを記憶し、前記リコンフィギュラブル回路(12#a)に供給するための設定部(14#)と、
前記リコンフィギュラブル回路(12#a)に前記所期の回路を構成するために複数の設定データを順次供給するように前記設定部(14#)を制御する制御部(18)とを備え、
前記リコンフィギュラブル回路(12#a)は、内部の状態を保持する状態保持回路(5

2 # a)を少なくとも1つ有し、

前記リコンフィギュラブル回路(12 # a)は、前記状態保持回路(FT)の配置により、複数段のリコンフィギュラブルユニットに分割され、

前記制御部(18)は、複数の所期の回路を構成する場合に、各回路の一部分を構成する分割ユニットを前記複数段のリコンフィギュラブルユニットのそれぞれに対して構成するための設定データを処理の流れに従って順番に供給するように前記設定部(14 #)を制御する、処理装置。

- [14] 前記リコンフィギュラブル回路は、N個の状態保持回路(FT)の配置により(N+1)段のリコンフィギュラブルユニットに分割され、

前記制御部(18)は、

ある時点での第i番目の状態保持回路と第(i+1)番目の状態保持回路との間の前記リコンフィギュラブルユニットに対してある所期の回路を構成する分割ユニットの設定データを供給するように前記設定部(14 #)を制御し、

次の時点での第(i+1)番目の状態保持回路と第(i+2)番目の状態保持回路との間の前記リコンフィギュラブルユニットに対して処理の流れに従って前記ある所期の回路を構成する次の分割ユニットの設定データを供給するように前記設定部(14 #)を制御し、第i番目の状態保持回路と第(i+1)番目の状態保持回路(52 # a)の間の前記リコンフィギュラブルユニットに対して、異なる所期の回路を構成する分割ユニットの設定データを供給するように前記設定部(14 #)を制御する、請求項13記載の処理装置。

- [15] 前記リコンフィギュラブル回路(12 # a)は、N個の状態保持回路(FT)の配置によりN段のリコンフィギュラブルユニットに分割され、

前記制御部(18)は、

ある時点での第i番目の状態保持部と第(i+1)番目の状態保持部との間の前記リコンフィギュラブルユニットに対してある所期の回路を構成する分割ユニットの設定データを供給するように前記設定部(14 #)を制御し、

次の時点での第(i+1)番目の状態保持部と第(i+2)番目の状態保持部との間の前記リコンフィギュラブルユニットに対して処理の流れに従って前記ある所期の回路

を構成する次の分割ユニットの設定データを供給するように前記設定部(14#)を制御し、第*i*番目の状態保持部と、第(*i*+1)番目の状態保持部の間の前記リコンフィギュラブルユニットに対して、異なる所期の回路を構成する分割ユニットの設定データを供給するように前記設定部(14#)を制御し、

第*N*番目の状態保持部から初段のリコンフィギュラブルユニットに入力するための経路部(24)をさらに備える、請求項13記載の処理装置。

- [16] 前記リコンフィギュラブルユニットは組合せ回路(50, 52#a)として構成される、請求項13に記載の処理装置。
- [17] 前記リコンフィギュラブル回路(12#a)の出力を受ける出力回路(22)をさらに備え、前記出力回路(22)は、前記設定部(14#)により前記リコンフィギュラブル回路(12#a)が複数回構成されると、前記リコンフィギュラブル回路(12#a)の出力を出力する、請求項13に記載の処理装置。
- [18] 前記リコンフィギュラブル回路(12#a)の出力を受ける内部状態保持回路(20)と、前記内部状態保持回路(20)に保持された出力信号を初段のリコンフィギュラブルユニットに入力するための第1経路部(24)とをさらに備える、請求項13に記載の処理装置。
- [19] ある設定データにより前記リコンフィギュラブル回路(12#a)からの出力を所定の領域に記憶するメモリ部(27)と、
前記メモリ部(27)の前記所定の領域に記憶された前記リコンフィギュラブル回路(12#a)上で構成された回路の出力を次の設定データにより構成される回路の入力として伝達するための第2経路部(29)とをさらに備える、請求項18に記載の処理装置。
- [20] 前記リコンフィギュラブル回路(12#a)の入力として、前記第2経路部(29)からの入力と、外部からの入力とを切り替える切替回路(28)をさらに備える、請求項19に記載の処理装置。
- [21] 前記リコンフィギュラブルユニットは、それぞれが複数の演算機能を選択的に実行可能な複数の論理回路(50)と、論理回路間の接続関係を設定可能な接続部(52#a)とを含み、

前記設定部(14#)は、前記論理回路(50)の機能および前記接続関係を設定する、請求項13に記載の処理装置。

- [22] 前記論理回路(50)は、複数種類の多ビット演算を選択的に実行可能な算術論理回路(ALU)である、請求項21に記載の処理装置。

補正書の請求の範囲
14/20 Rec'd PCT/PTO 30 MAR 2006

[2005年1月17日 (17. 01. 05) 国際事務局受理：出願当初の請求の範囲1-21は補正された；出願当初の請求の範囲22は取り下げられた。(5頁)]

- [1] (補正後) 機能の変更が可能なりコンフィギュラブル回路(12)と、
前記リコンフィギュラブル回路(12)の出力を、前記リコンフィギュラブル回路(12)の入力として伝達するための第1経路部(24)と、
前記リコンフィギュラブル回路(12)に所期の回路を構成するための設定データ(40)を供給する設定部(14)と、
前記リコンフィギュラブル回路(12)に複数の設定データを順次供給するように前記設定部(14)を制御し、ある設定データにより前記リコンフィギュラブル回路(12)上で構成された回路の出力を、前記第1経路部(24)を通じて次の設定データにより構成される回路の入力に供給させる制御部(18)と、
前記リコンフィギュラブル回路(12)の出力を受ける内部状態保持回路(20)を備え、
前記内部状態保持回路(20)は、前記第1経路部(24)に接続され、
前記ある設定データにより前記リコンフィギュラブル回路(12)上で構成された回路の出力を所定の領域に記憶するメモリ部(27)と、
前記メモリ部(27)の前記所定の領域に記憶された前記リコンフィギュラブル回路(12)上で構成された回路の出力を、次の設定データにより構成される回路の入力として伝達するための第2経路部(29)とをさらに備える、処理装置。
- [2] (補正後) 前記内部状態保持回路(20)は、前記メモリ部(27)より高速動作である、請求項1に記載の処理装置。
- [3] (補正後) 前記設定部(14)が、複数の設定データを前記リコンフィギュラブル回路(12)に順次供給することにより、全体として1つの回路が構成される、請求項1に記載の処理装置。
- [4] (補正後) 複数の設定データ(40a～40d)は、1つの回路(42)を分割した複数の分割回路(A～D)をそれぞれ表現したものである、請求項1に記載の処理装置。
- [5] (補正後) 前記リコンフィギュラブル回路(12)は組合せ回路(50, 52)として構成される、請求項1に記載の処理装置。
- [6] (補正後) 前記リコンフィギュラブル回路(12)の出力を受ける出力回路(22)をさら

に備え、

前記出力回路(22)は、前記設定部(14)により前記リコンフィギュラブル回路(12)が複数回構成されると、前記リコンフィギュラブル回路(12)の出力を出力する、請求項1に記載の処理装置。

- [7] (補正後) 前記リコンフィギュラブル回路(12)の入力として、前記第2経路部(29)からの入力と、外部からの入力とを切り替える切替回路(28)をさらに備える、請求項1に記載の処理装置。

- [8] (補正後) 前記リコンフィギュラブル回路(12)は、それぞれが複数の演算機能を選択的に実行可能な複数の論理回路(50)と、論理回路間の接続関係を設定可能な接続部(52)とを含み、

前記設定部(14)は、前記論理回路(50)の機能および前記接続関係を設定する、請求項1に記載の処理装置。

- [9] (補正後) 前記論理回路(50)は、複数種類の多ビット演算を選択的に実行可能な算術論理回路(ALU)である、請求項8に記載の処理装置。

- [10] (補正後) 1つの回路(42)を分割した複数の分割回路(A~D)をリコンフィギュラブル回路(12)上に順次構成し、ある分割回路の出力を次の分割回路の入力にフィードバックして分割回路における演算処理を実行し、最後に構成された分割回路から出力を取り出す、処理方法。

- [11] (補正後) 機能の変更が可能なリコンフィギュラブル回路(12)と、
前記リコンフィギュラブル回路(12)の出力を、前記リコンフィギュラブル回路(12)の入力に接続する経路部(24)と、

前記リコンフィギュラブル回路(12)に所期の回路を構成するための設定データを供給する設定部(14)とを備える、集積回路装置。

- [12] (補正後) 機能および接続関係の変更が可能なリコンフィギュラブル回路(12#a)と、

所期の回路の一部分を構成する分割ユニットを表現するための設定データを記憶し、前記リコンフィギュラブル回路(12#a)に供給するための設定部(14#)と、

前記リコンフィギュラブル回路(12#a)に前記所期の回路を構成するために複数の

設定データを順次供給するように前記設定部(14#)を制御する制御部(18)とを備え、

前記リコンフィギュラブル回路(12#a)は、内部の状態を保持する状態保持回路(52#a)を少なくとも1つ有し、

前記リコンフィギュラブル回路(12#a)は、前記状態保持回路(FT)の配置により、複数段のリコンフィギュラブルユニットに分割され、

前記制御部(18)は、複数の所期の回路を構成する場合に、各回路の一部分を構成する分割ユニットを前記複数段のリコンフィギュラブルユニットのそれぞれに対して構成するための設定データを処理の流れに従って順番に供給するように前記設定部(14#)を制御する、処理装置。

[13] (補正後) 前記リコンフィギュラブル回路は、N個の状態保持回路(FT)の配置により(N+1)段のリコンフィギュラブルユニットに分割され、

前記制御部(18)は、

ある時点での第i番目の状態保持回路と第(i+1)番目の状態保持回路との間の前記リコンフィギュラブルユニットに対してある所期の回路を構成する分割ユニットの設定データを供給するように前記設定部(14#)を制御し、

次の時点での第(i+1)番目の状態保持回路と第(i+2)番目の状態保持回路との間の前記リコンフィギュラブルユニットに対して処理の流れに従って前記ある所期の回路を構成する次の分割ユニットの設定データを供給するように前記設定部(14#)を制御し、第i番目の状態保持回路と第(i+1)番目の状態保持回路(52#a)の間の前記リコンフィギュラブルユニットに対して、異なる所期の回路を構成する分割ユニットの設定データを供給するように前記設定部(14#)を制御する、請求項12記載の処理装置。

[14] (補正後) 前記リコンフィギュラブル回路(12#a)は、N個の状態保持回路(FT)の配置によりN段のリコンフィギュラブルユニットに分割され、

前記制御部(18)は、

ある時点での第i番目の状態保持回路と第(i+1)番目の状態保持回路との間の前記リコンフィギュラブルユニットに対してある所期の回路を構成する分割ユニットの設

定データを供給するように前記設定部(14#)を制御し、

次の時点での第(i+1)番目の状態保持回路と第(i+2)番目の状態保持回路との間の前記リコンフィギュラブルユニットに対して処理の流れに従って前記ある所期の回路を構成する次の分割ユニットの設定データを供給するように前記設定部(14#)を制御し、第i番目の状態保持回路と、第(i+1)番目の状態保持回路の間の前記リコンフィギュラブルユニットに対して、異なる所期の回路を構成する分割ユニットの設定データを供給するように前記設定部(14#)を制御し、

第N番目の状態保持部から初段のリコンフィギュラブルユニットに入力するための経路部(24)をさらに備える、請求項12記載の処理装置。

[15] (補正後) 前記リコンフィギュラブルユニットは組合せ回路(50, 52#a)として構成される、請求項12に記載の処理装置。

[16] (補正後) 前記リコンフィギュラブル回路(12#a)の出力を受ける出力回路(22)をさらに備え、

前記出力回路(22)は、前記設定部(14#)により前記リコンフィギュラブル回路(12#a)が複数回構成されると、前記リコンフィギュラブル回路(12#a)の出力を出力する、請求項12に記載の処理装置。

[17] (補正後) 前記リコンフィギュラブル回路(12#a)の出力を受ける内部状態保持回路(20)と、

前記内部状態保持回路(20)に保持された出力信号を初段のリコンフィギュラブルユニットに入力するための第1経路部(24)とをさらに備える、請求項12に記載の処理装置。

[18] (補正後) ある設定データにより前記リコンフィギュラブル回路(12#a)からの出力を所定の領域に記憶するメモリ部(27)と、

前記メモリ部(27)の前記所定の領域に記憶された前記リコンフィギュラブル回路(12#a)上で構成された回路の出力を次の設定データにより構成される回路の入力として伝達するための第2経路部(29)とをさらに備える、請求項17に記載の処理装置。

[19] (補正後) 前記リコンフィギュラブル回路(12#a)の入力として、前記第2経路部(

29)からの入力と、外部からの入力とを切り替える切替回路(28)をさらに備える、請求項18に記載の処理装置。

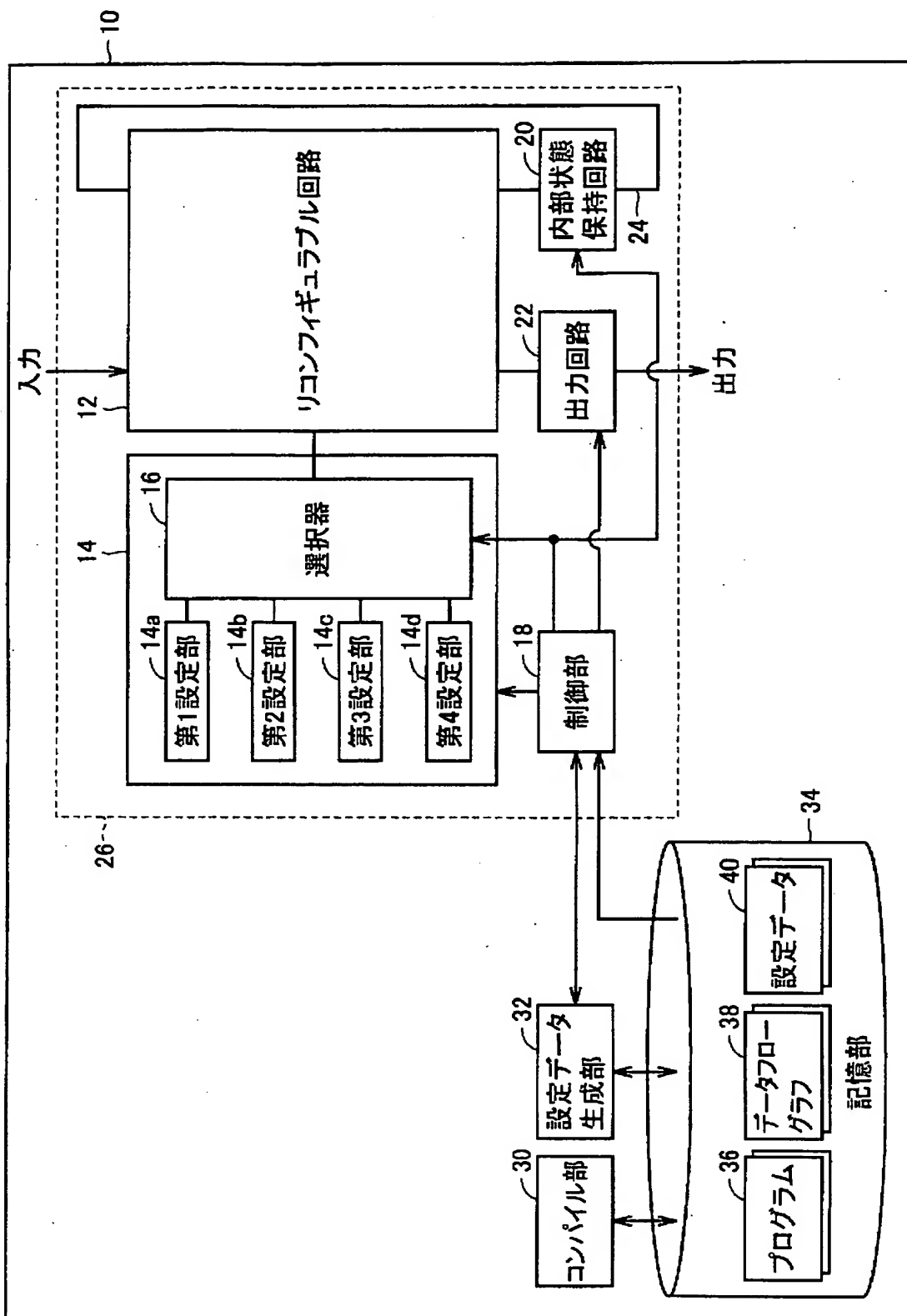
- [20] (補正後) 前記リコンフィギュラブルユニットは、それぞれが複数の演算機能を選択的に実行可能な複数の論理回路(50)と、論理回路間の接続関係を設定可能な接続部(52#a)とを含み、

前記設定部(14#)は、前記論理回路(50)の機能および前記接続関係を設定する、請求項12に記載の処理装置。

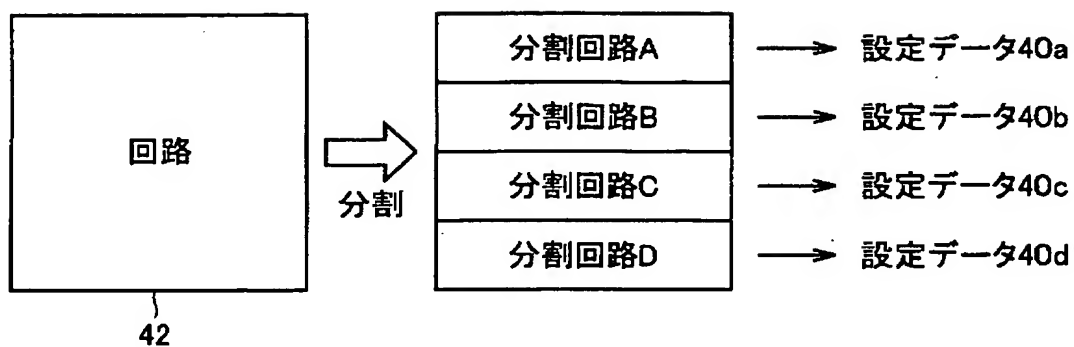
- [21] (補正後) 前記論理回路(50)は、複数種類の多ビット演算を選択的に実行可能な算術論理回路(ALU)である、請求項20に記載の処理装置。

- [22] (削除)

[図1]

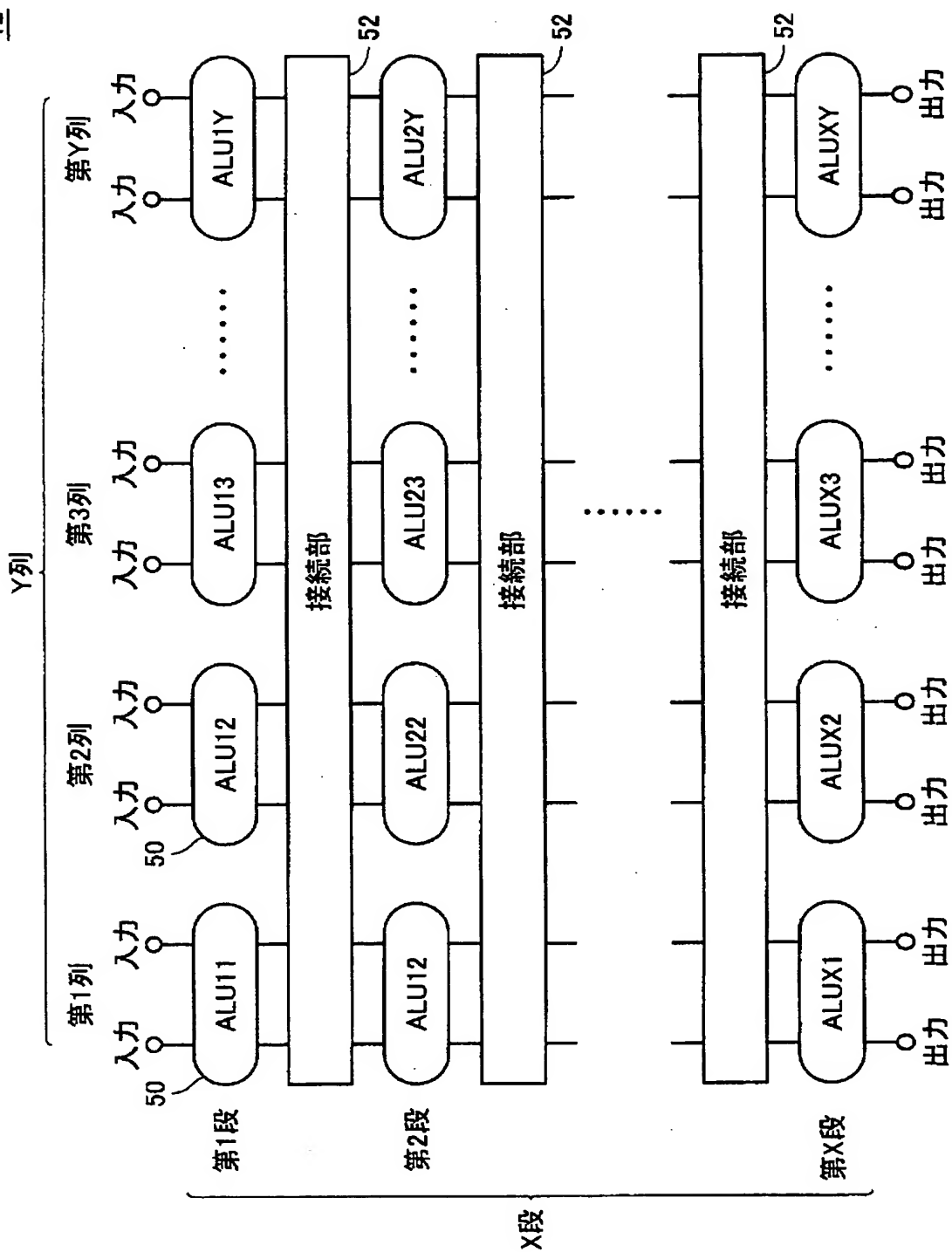


[図2]



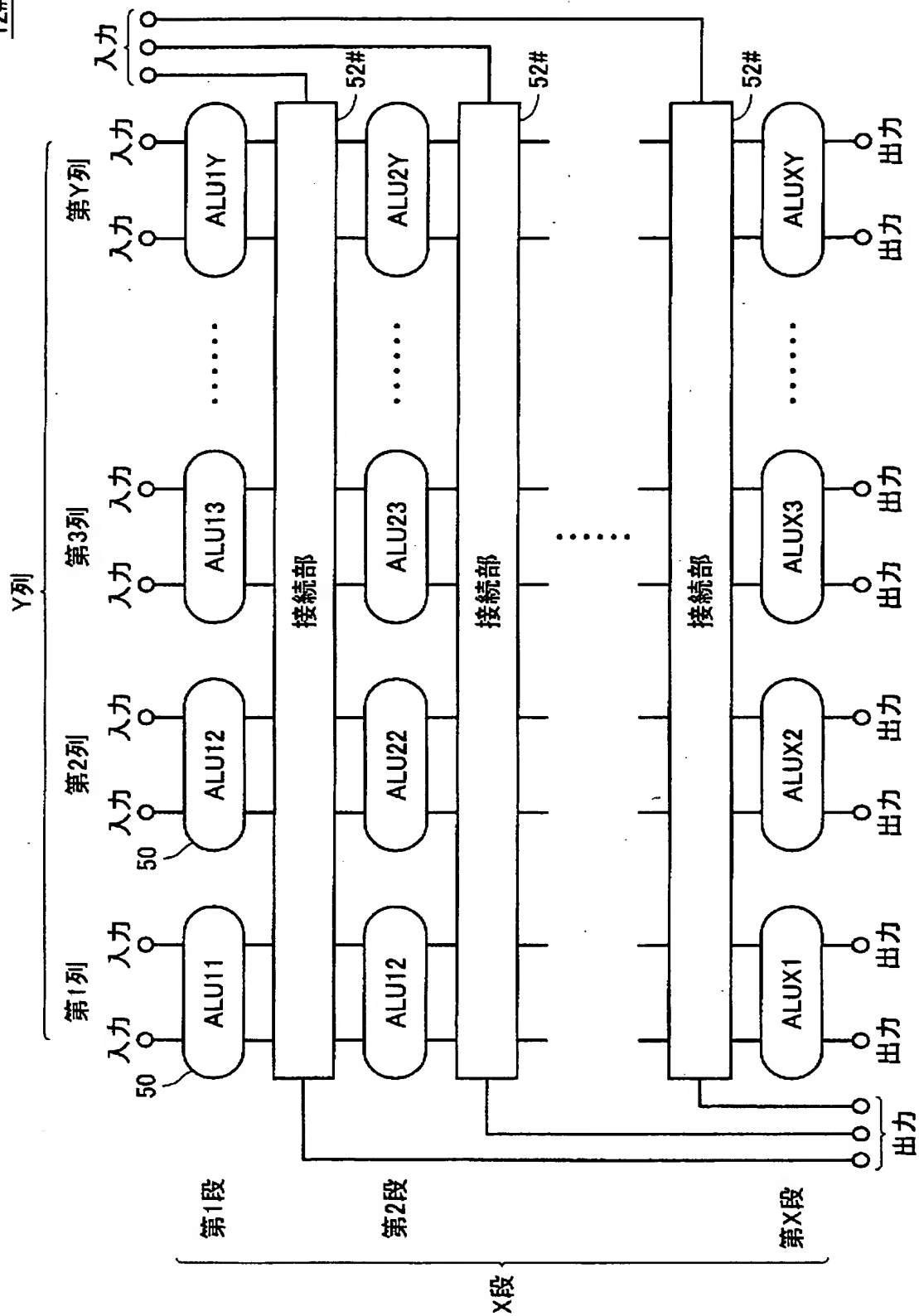
[図3]

12

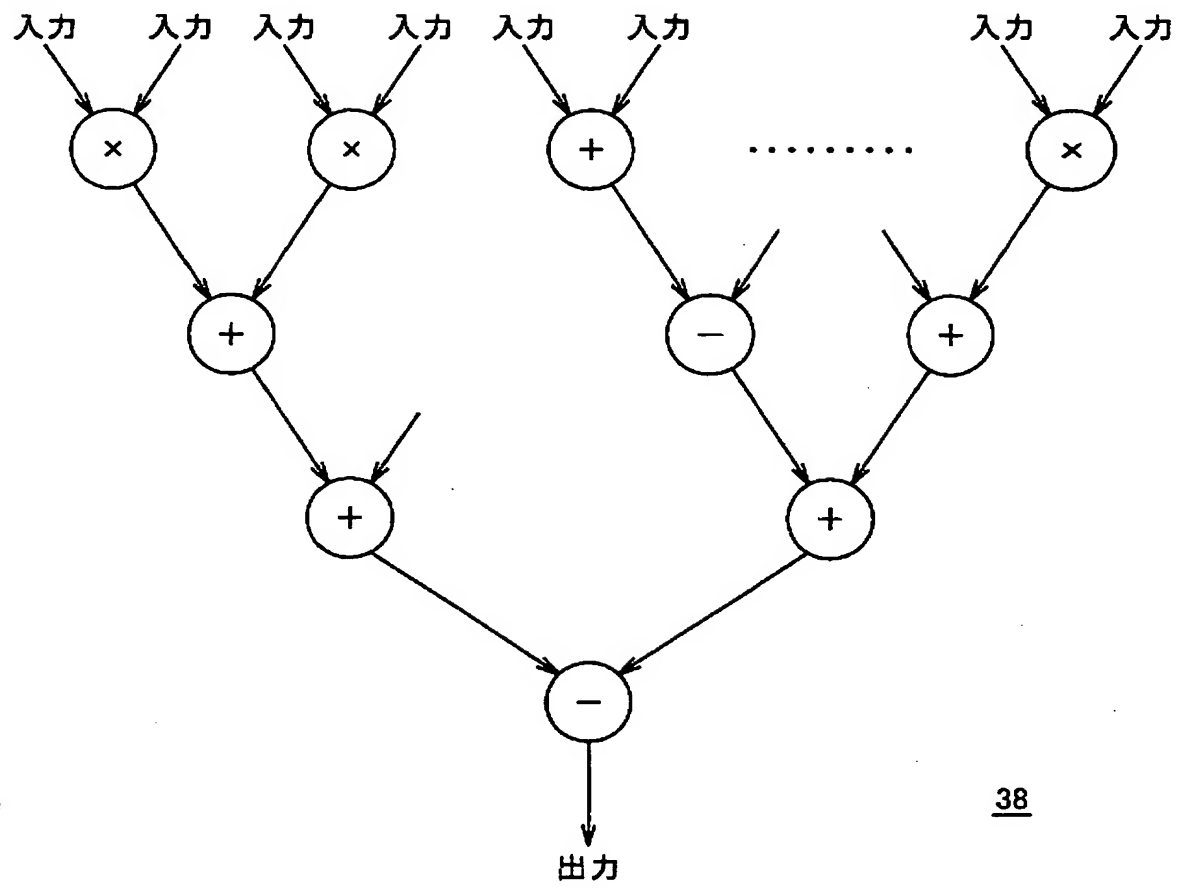


[図4]

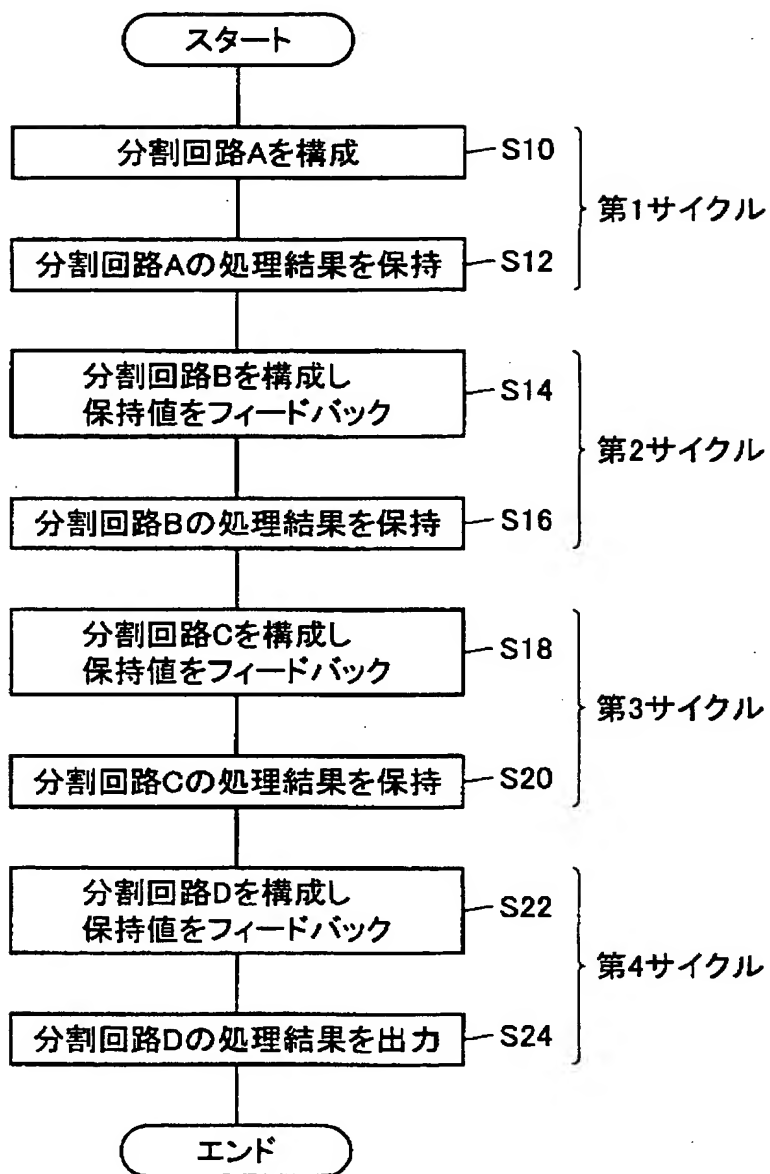
12#



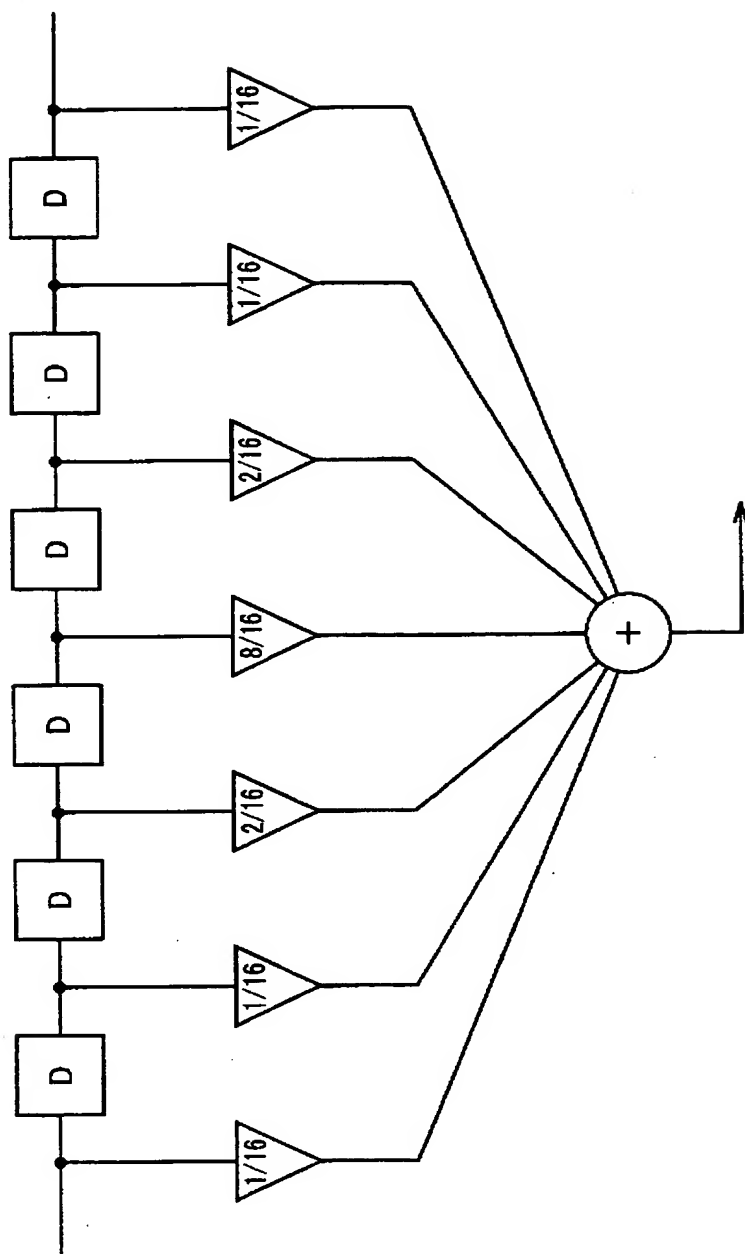
[図5]



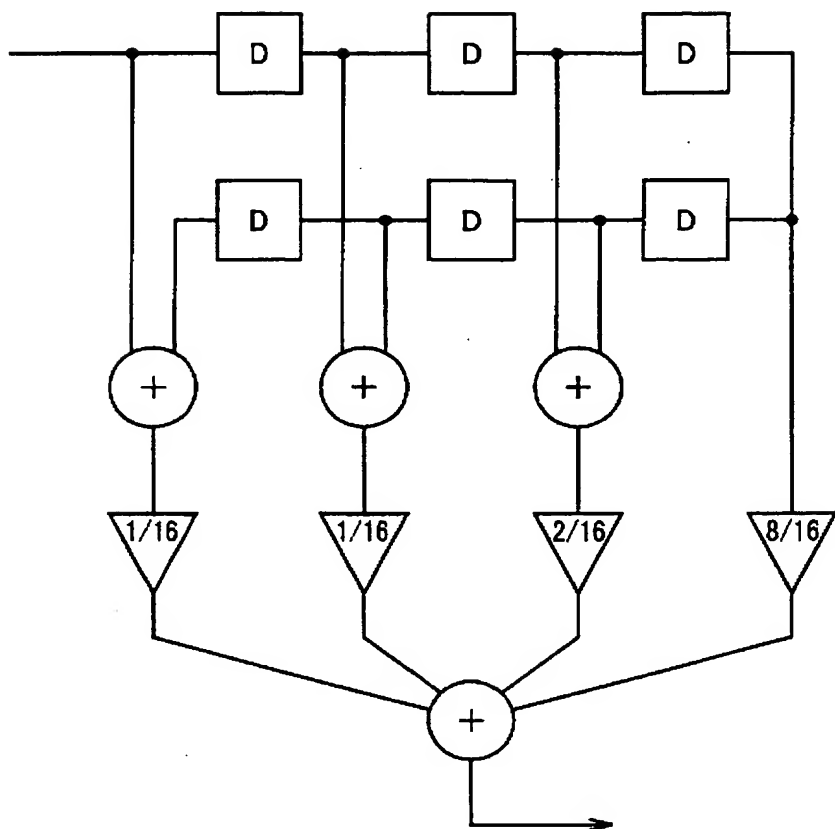
[図6]



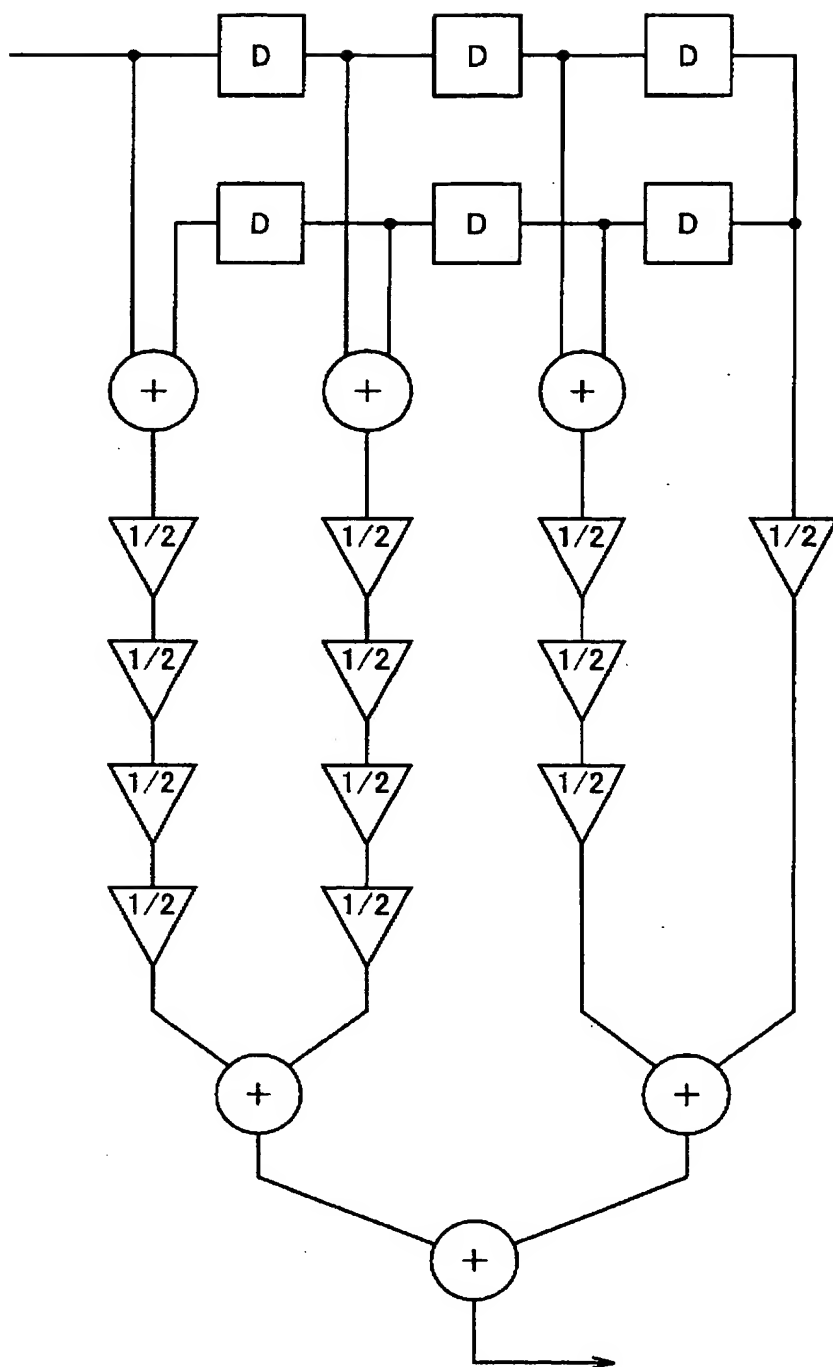
[図7]



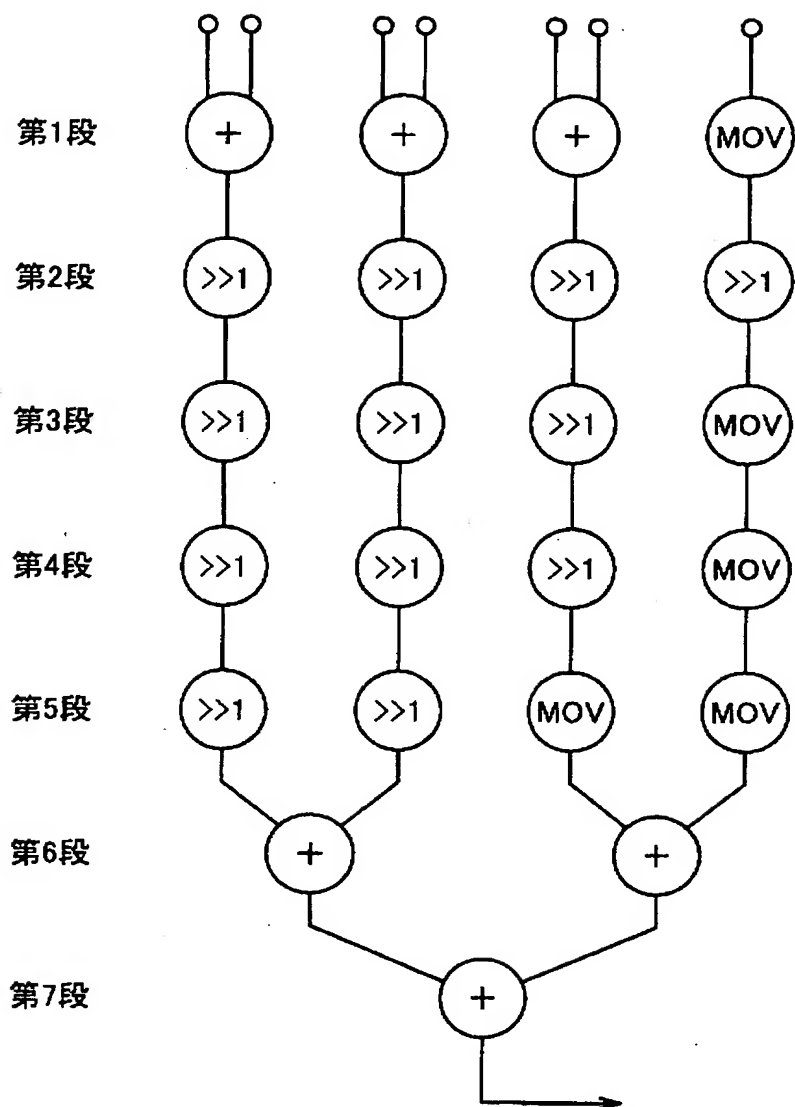
[図8]



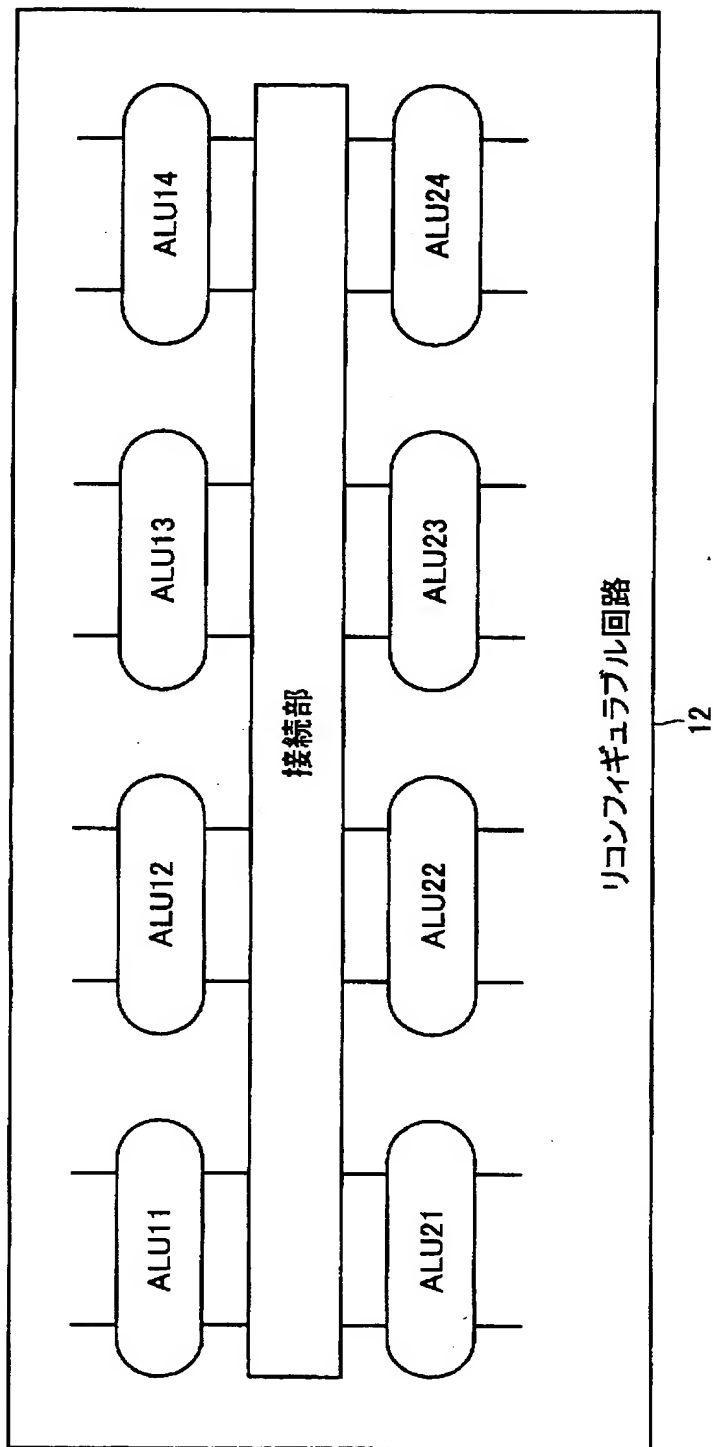
[図9]



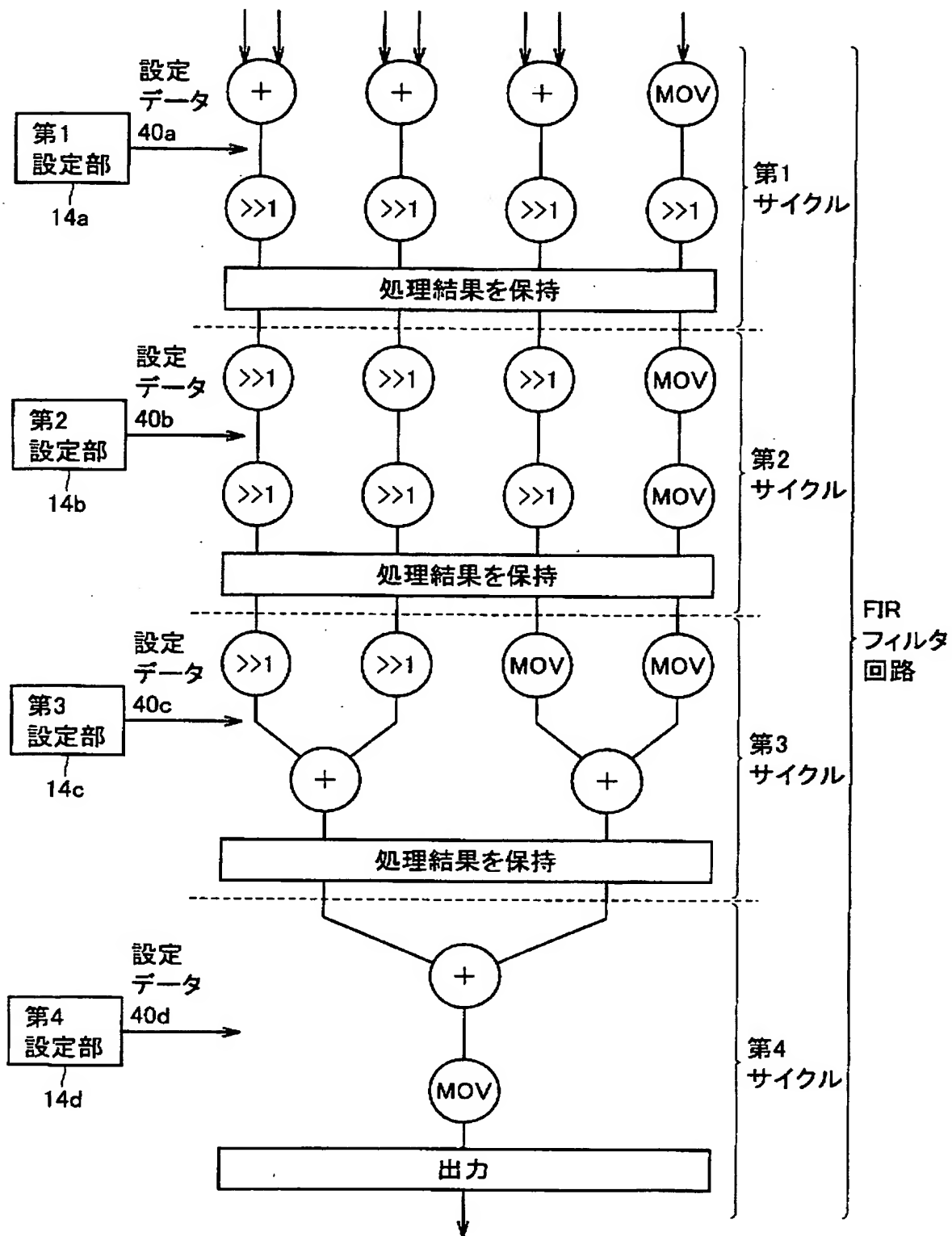
[図10]

38a

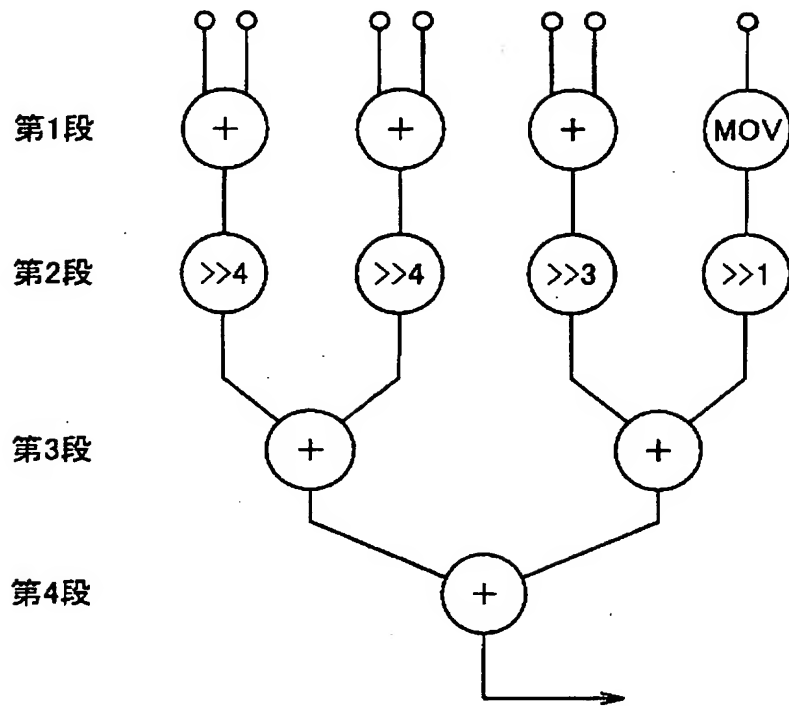
[図11]



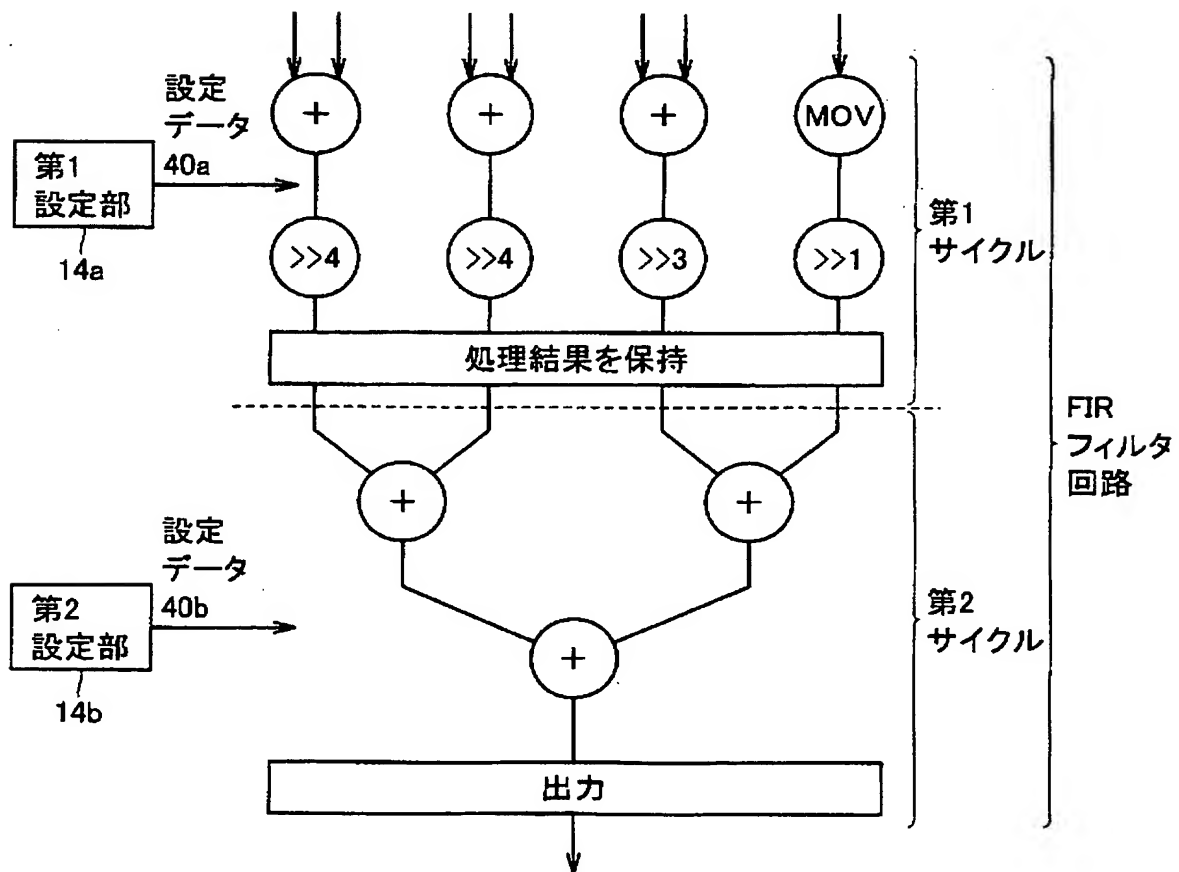
[図12]



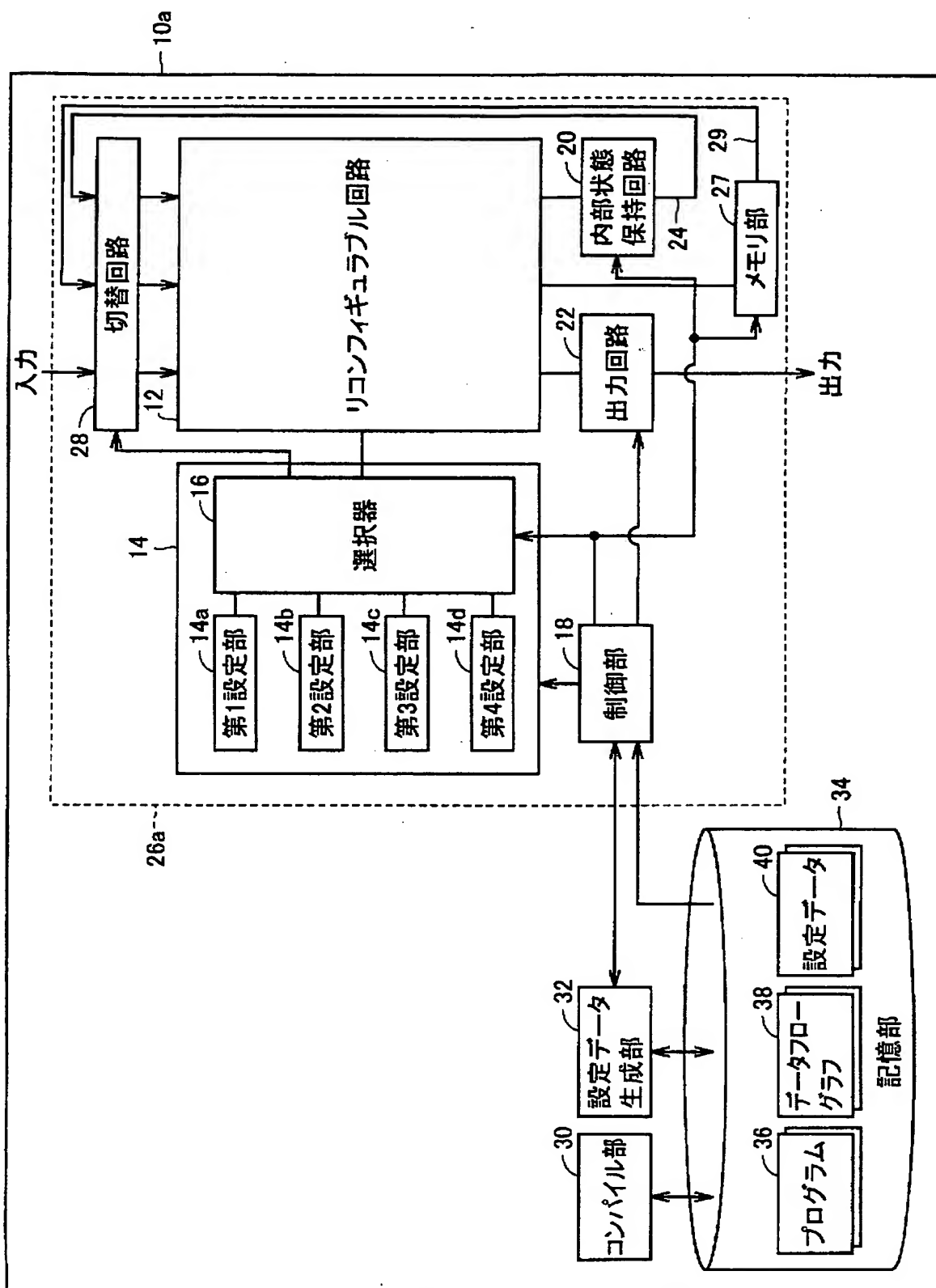
[図13]



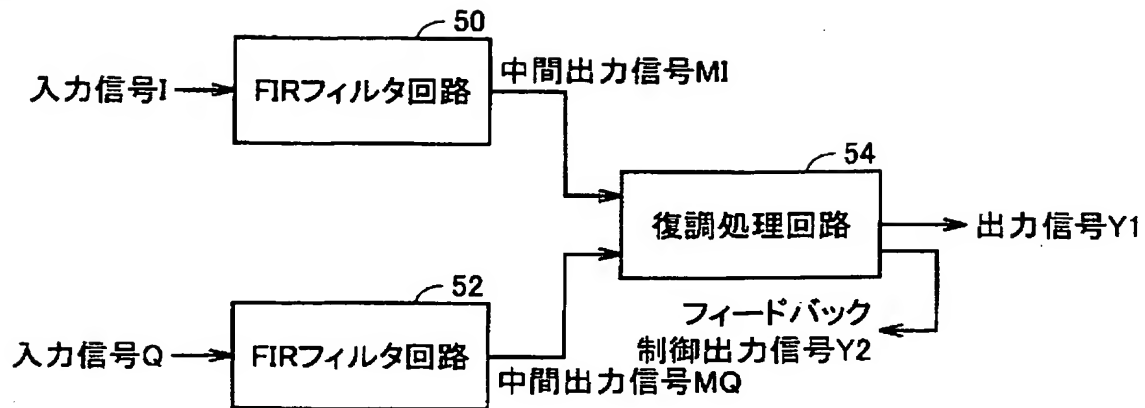
[図14]



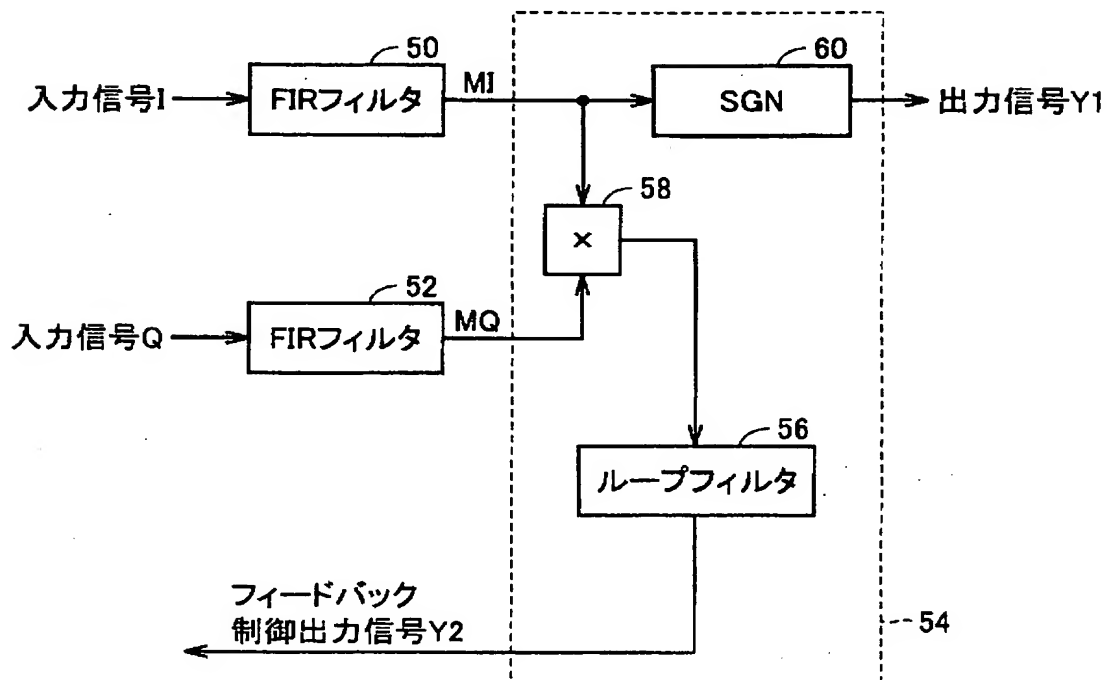
[図15]



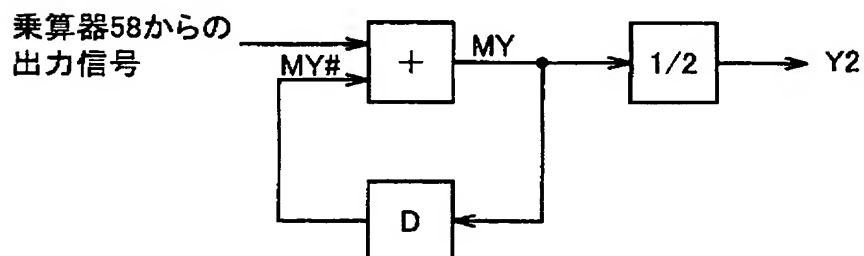
[図16]



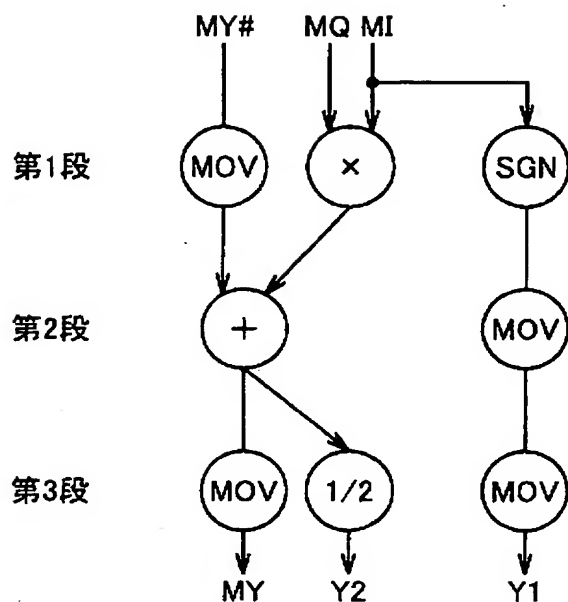
[図17]



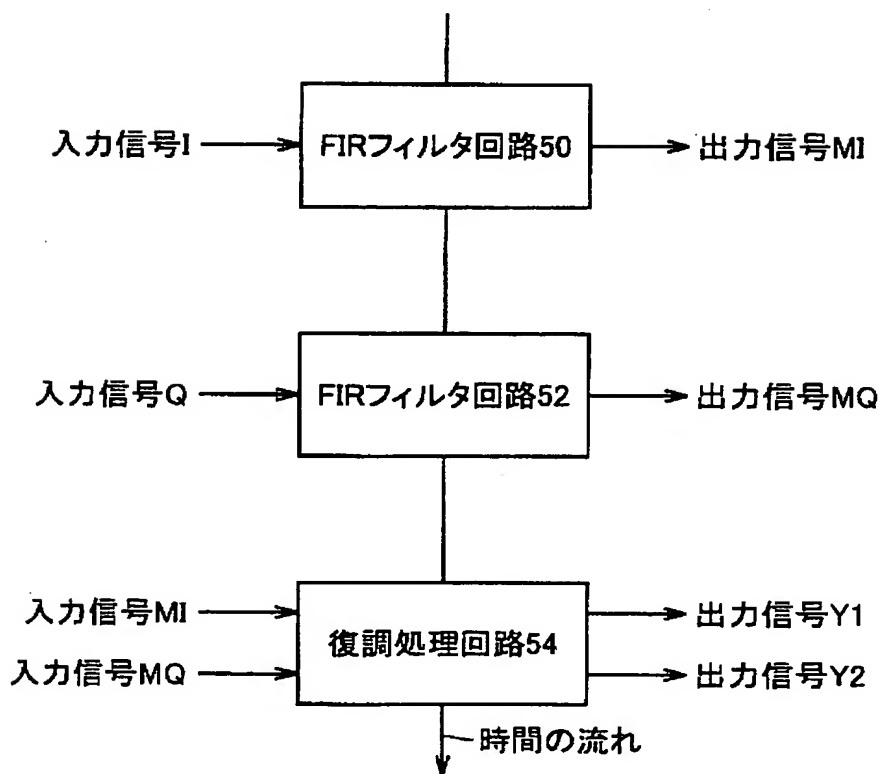
[図18]



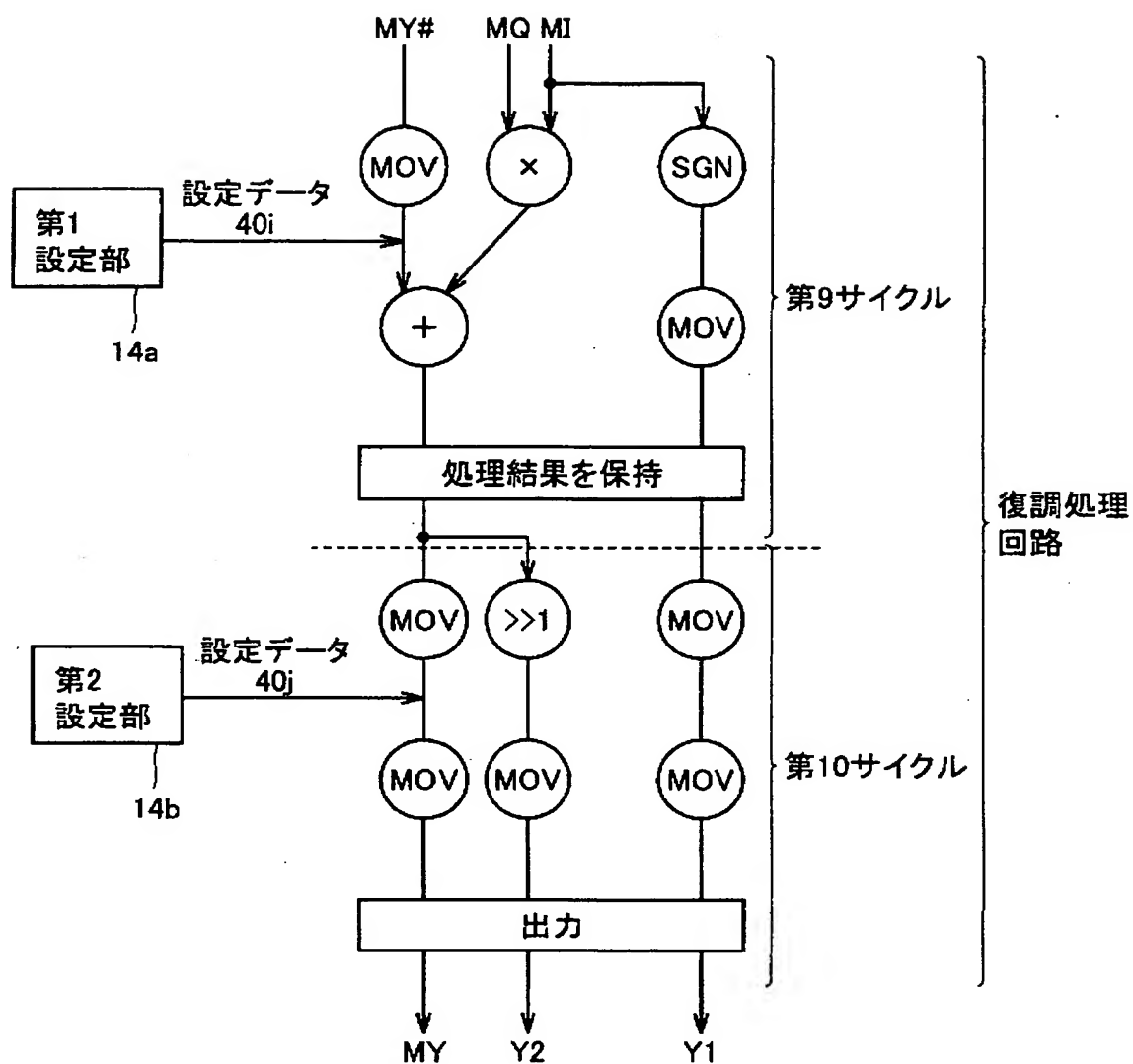
[図19]

38c

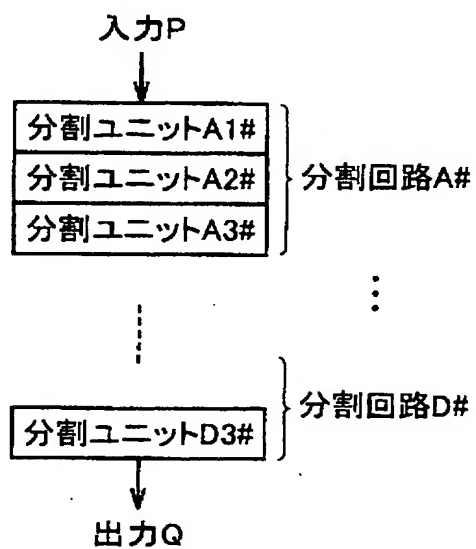
[図20]



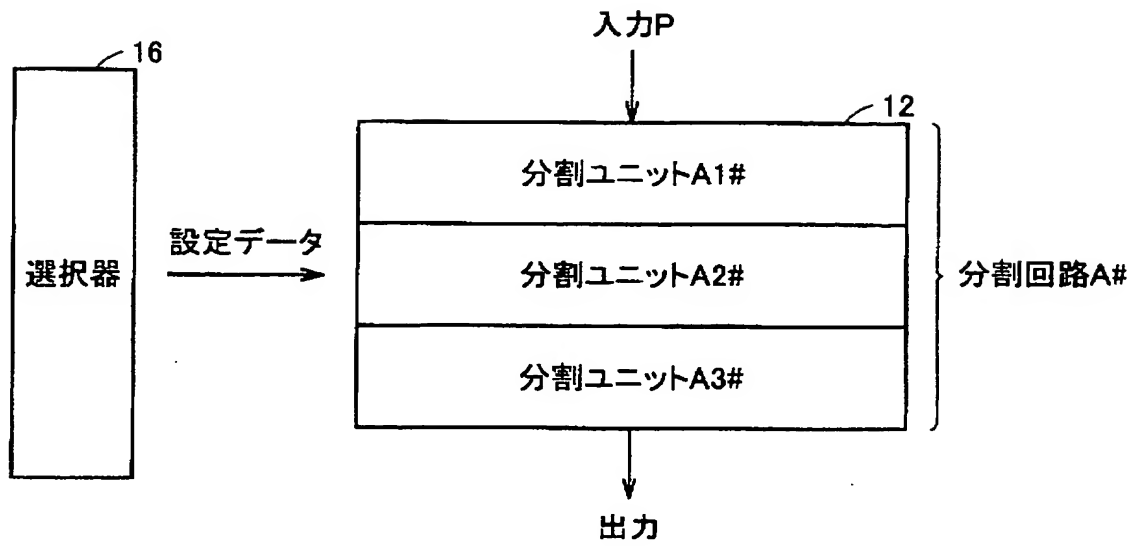
[図21]



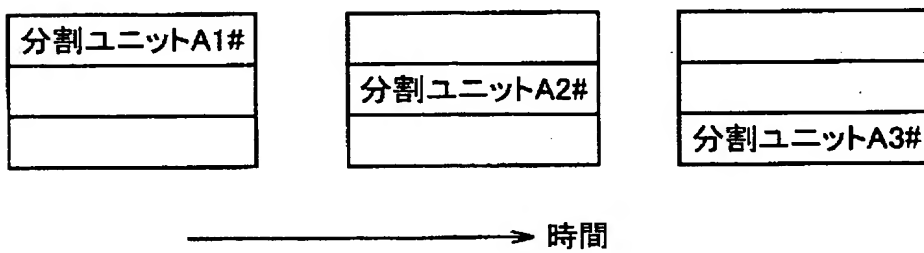
[図22]



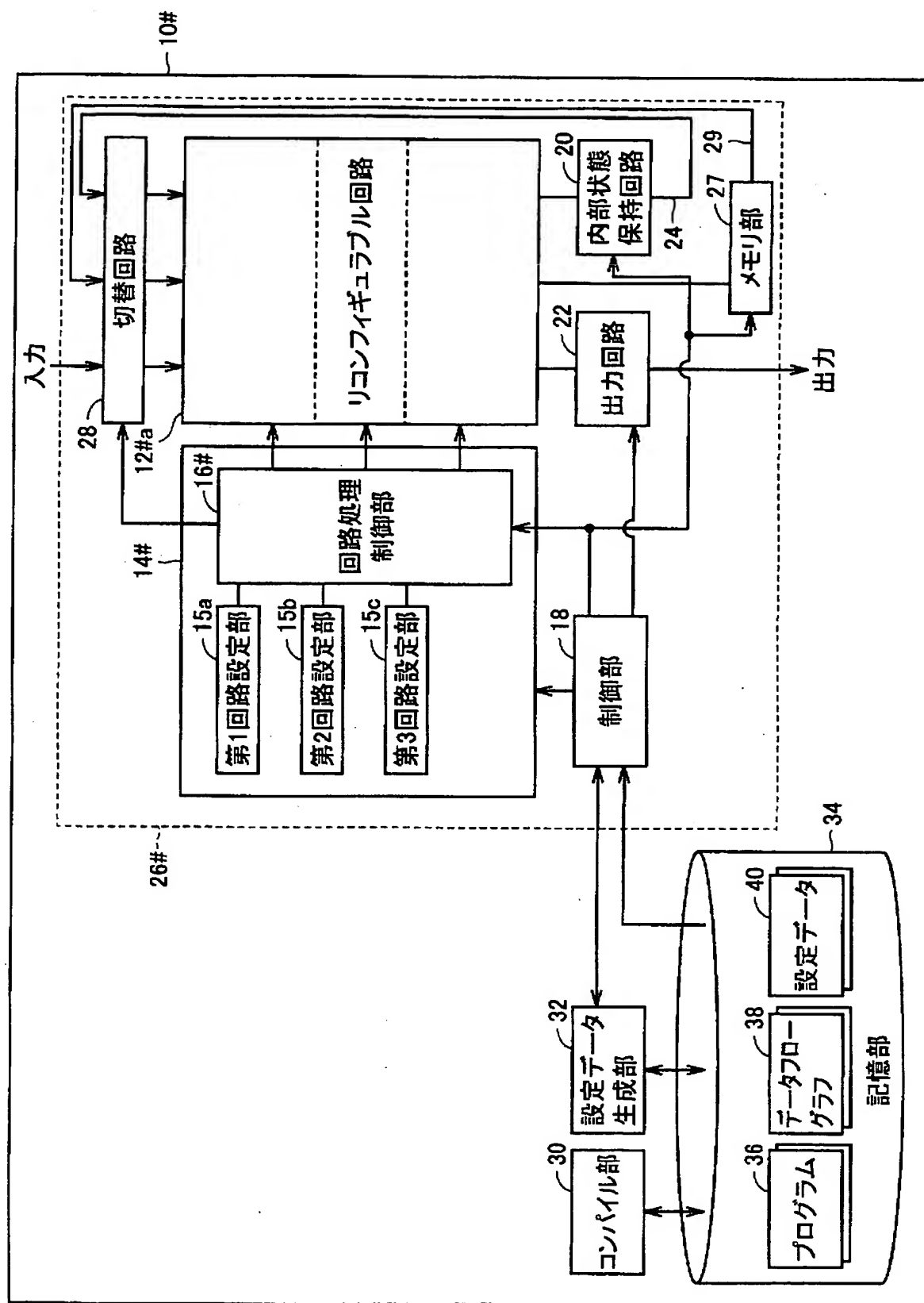
[図23]



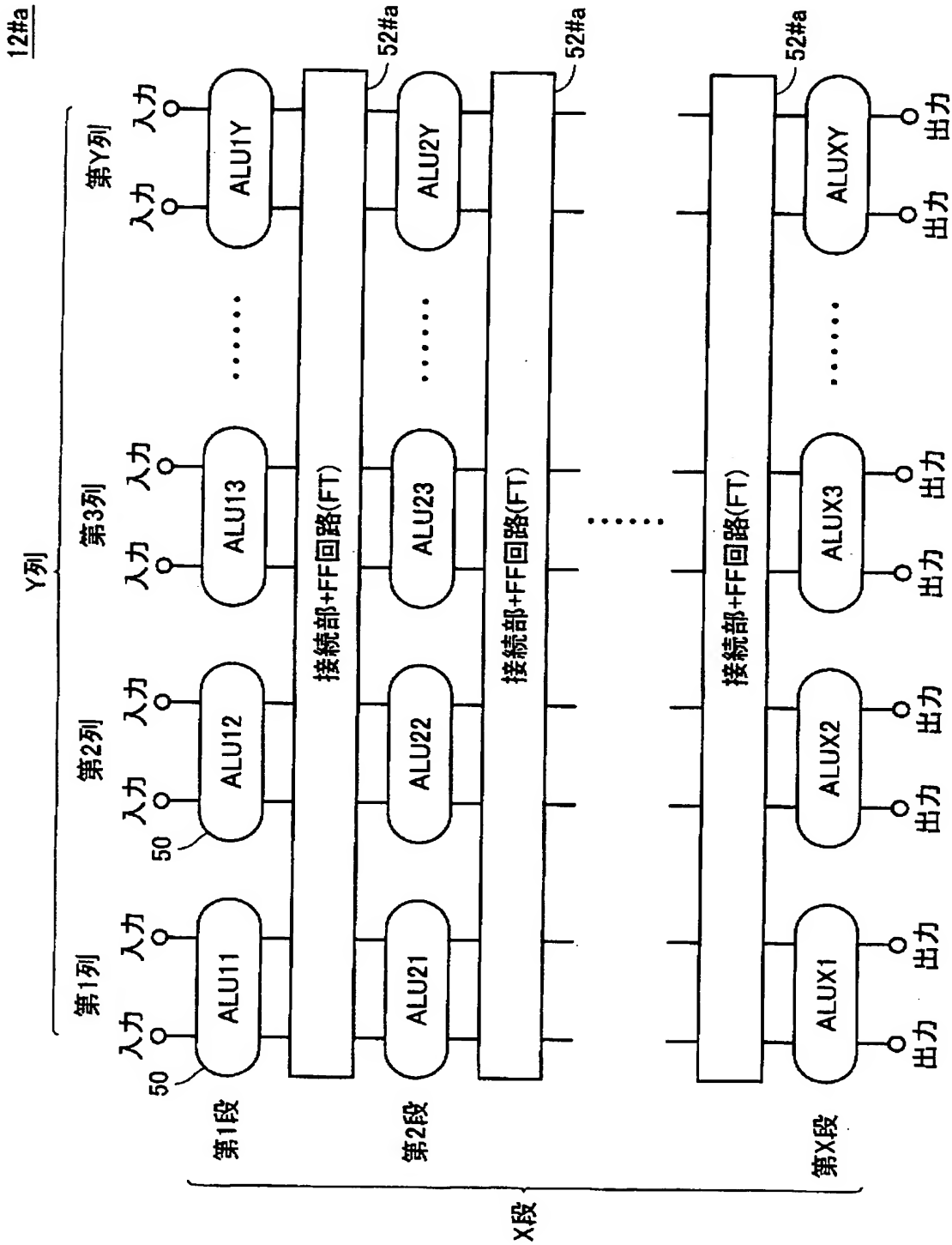
[図24]



[図25]

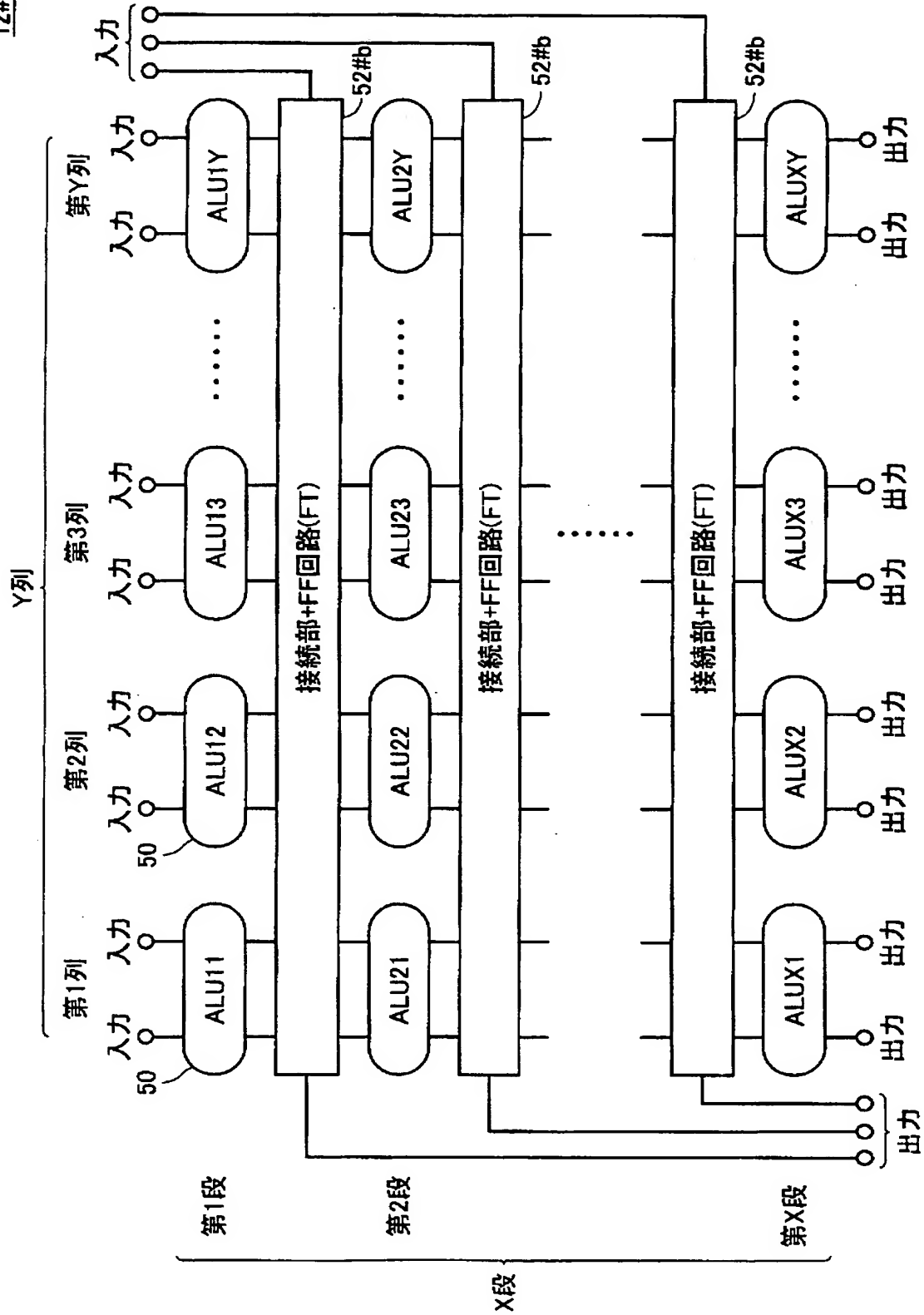


[図26]

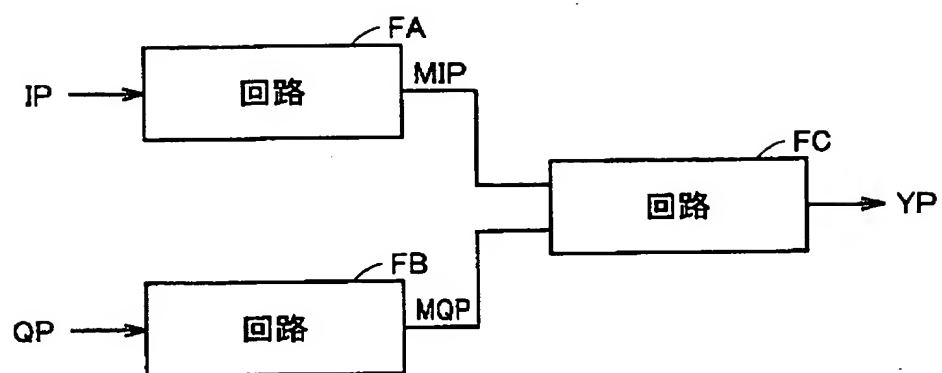


[図27]

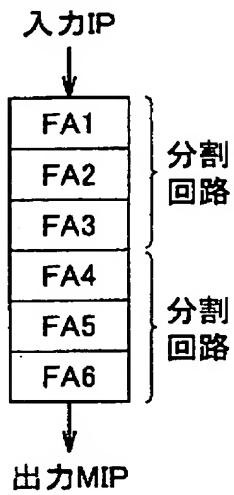
12#b



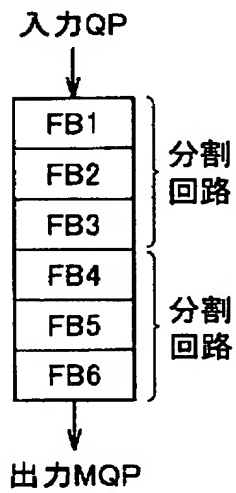
[図28]



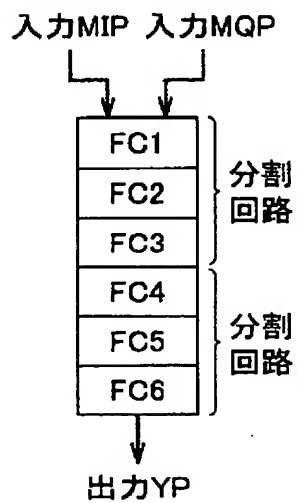
[図29A]



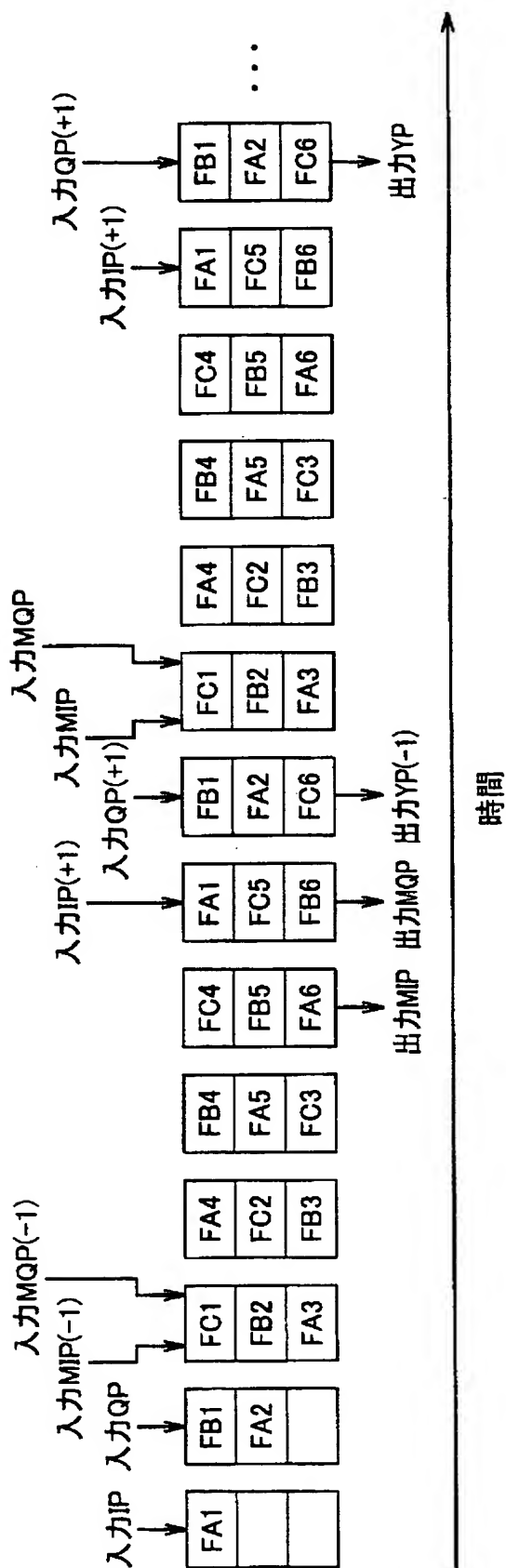
[図29B]



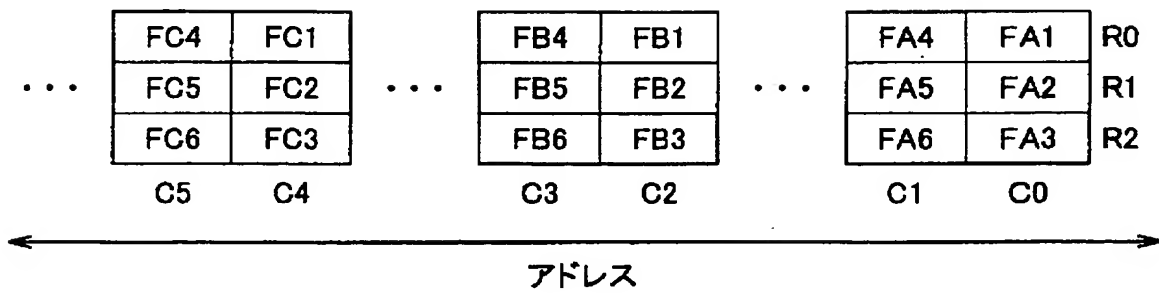
[図29C]



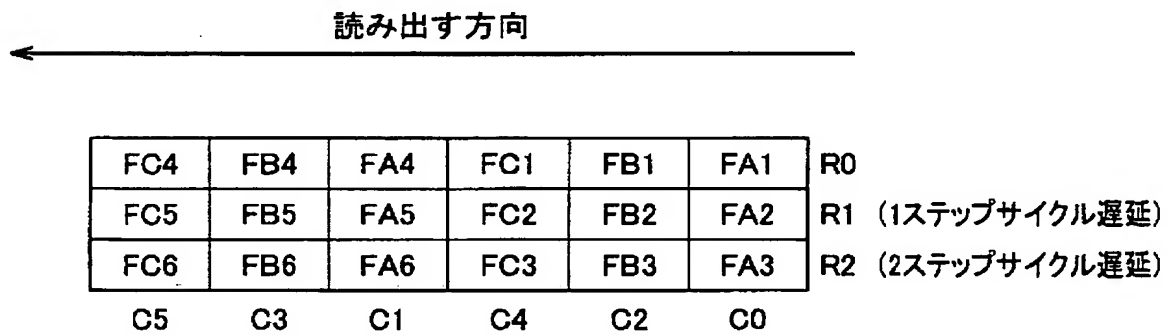
[図30]



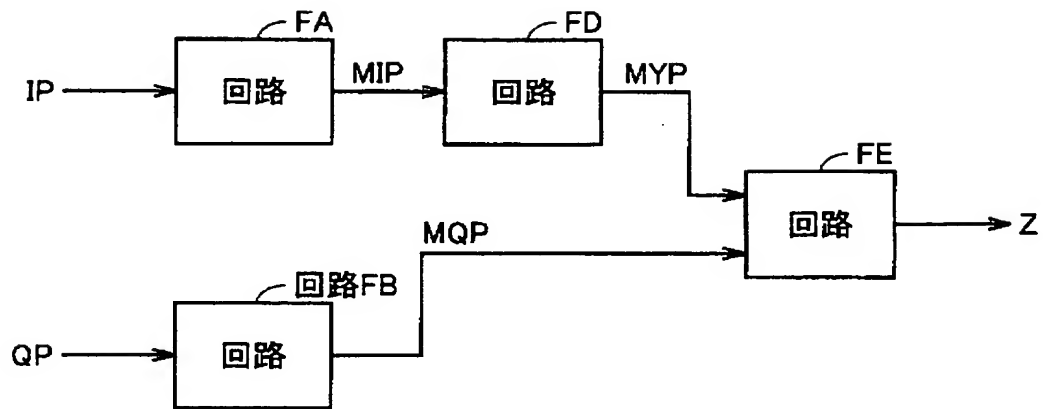
[図31]



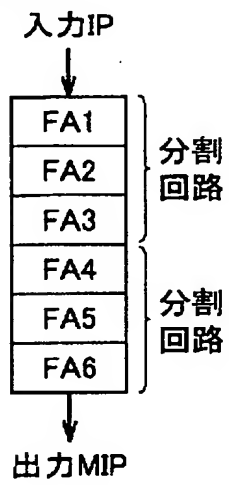
[図32]



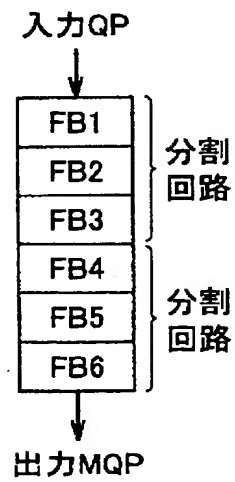
[図33]



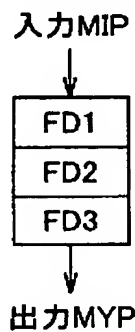
[図34A]



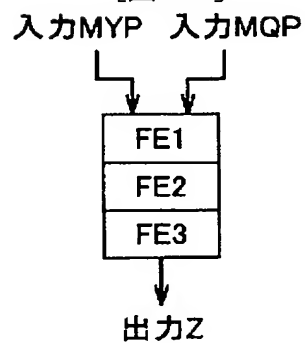
[図34B]



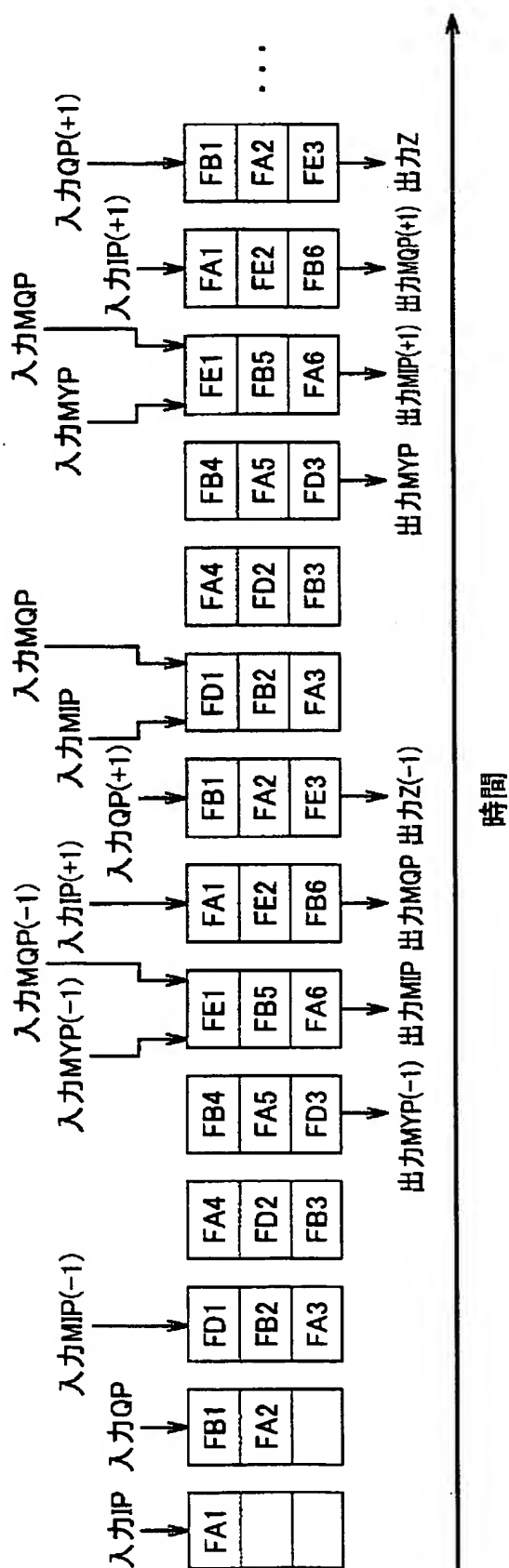
[図34C]



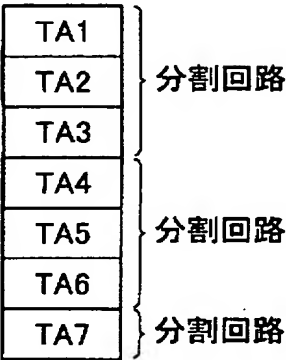
[図34D]



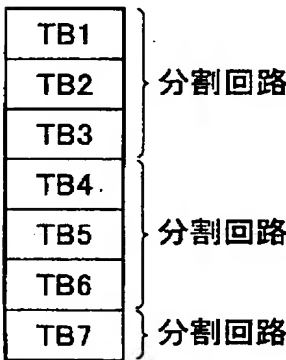
[図35]



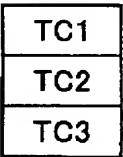
[図36A]



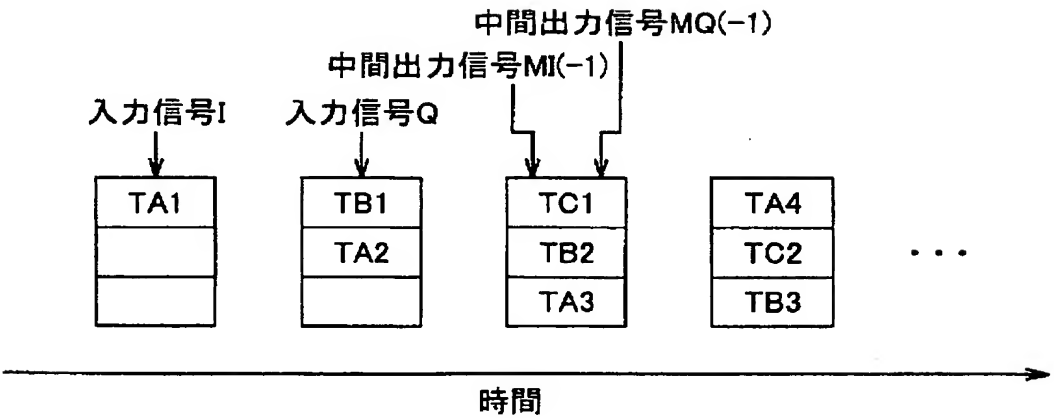
[図36B]



[図36C]



[図37]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009811

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F9/54, H03K19/173, G06F9/40, G06F9/38

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F9/54, H03K19/173, G06F9/40, G06F9/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-68993 A (Fuji Xerox Co., Ltd.), 16 March, 2001 (16.03.01), Par. Nos. [0091] to [0095]; Figs. 15 to 16 (Family: none)	1-22
X	Herman Schmit, Incremental Reconfiguration for Pipelined Applications, The 5th Annual IEEE Symposium on FPGAs for Custom Computing Machines, 1997, pages 47 to 55	1-22
X	JP 2003-29969 A (Tokyo Electron Device Kabushiki Kaisha), 31 January, 2003 (31.01.03), Full text; all drawings & EP 1421511 A2	1-12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 October, 2004 (05.10.04)

Date of mailing of the international search report
26 October, 2004 (26.10.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/009811

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-40745 A (Lucent Technologies Inc.), 08 February, 2000 (08.02.00), & US 6034538 A & GB 2333625 A	1-22

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. 7 G06F9/54, H03K19/173, G06F9/40, G06F9/38

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. 7 G06F9/54, H03K19/173, G06F9/40, G06F9/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国実用新案登録公報 1996-2004年

日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2001-68993 A (富士ゼロックス株式会社) 2001.03.16, 段落0091-0095, 第15-16図 (ファミリーなし)	1-22
X	Herman Schmit, Incremental Reconfiguration for Pipelined Applications, The 5th Annual IEEE Symposium on FPGAs for Custom Computing Machines, 1997, p.47-55	1-22

C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

05.10.2004

国際調査報告の発送日

26.10.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

久保 正典

5B

9642

電話番号 03-3581-1101 内線 3545

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-29969 A (東京エレクトロニクス株式会社) 2003.01.31, 全文, 全図 & EP 1421511 A2	1-12
A	JP 2000-40745 A (ルーセント テクノロジーズ インコーポレイテッド) 2000.02.08, & US 6034538 A & GB 2333625 A	1-22